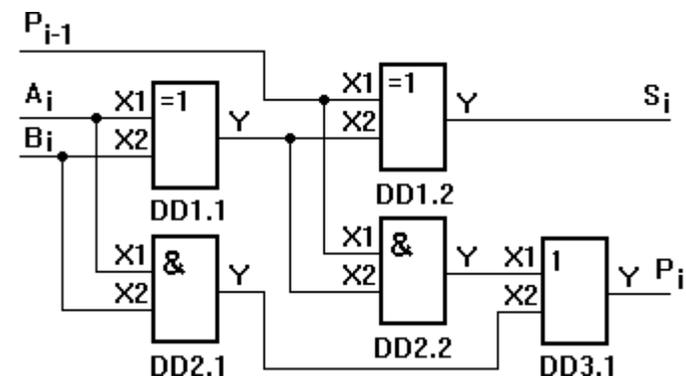


В.А. Иноземцев

Изучение элементной базы цифровой техники



Иноземцев В.А. Изучение элементной базы цифровой техники -
Брянск: Издательство БГУ, 2002. - 110 с.

В пособии рассматриваются комбинационные схемы и цифровые автоматы, приводятся примеры проверки работоспособности цифровых микросхем, указаны задания к лабораторным работам, приведен примерный список демонстраций, которые проводятся на лабораторных занятиях по элементной базе ЭВМ. Демонстрации проводятся как студентами, так и преподавателем. Привлечение студентов к проведению демонстраций по элементной базе ЭВМ позволяет формировать у них профессиональные умения, связанные с постановкой демонстрационного учебного эксперимента.

Пособие адресовано студентам физико-математических факультетов педагогических вузов, может быть использовано учителями физики на факультативных и кружковых занятиях.

Рецензенты:

Степанищева М.Н., кандидат физико-математических наук, доцент кафедры теоретической физики БГУ им. акад. И.Г. Петровского;
Корнев Б.И., кандидат физико-математических наук, доцент кафедры общей физики БГУ им. акад. И.Г. Петровского.

Печатается по решению совета физико-математического факультета
Брянского государственного университета
имени академика И.Г. Петровского.

Содержание

| | |
|--|-----|
| Введение | 4 |
| Глава 1. Комбинационные схемы и цифровые автоматы..... | 6 |
| 1. Логические элементы..... | 6 |
| 2. Логический элемент 2И-НЕ ТТЛ и его характеристики..... | 21 |
| 3. Логический элемент 2И-НЕ КМОП и его характеристики..... | 28 |
| 4. Полный одноразрядный двоичный сумматор..... | 32 |
| 5. Шифраторы, дешифраторы, мультиплексоры, демультимплексоры... .. | 33 |
| 6. Триггеры..... | 36 |
| 7. Счетчики электрических импульсов..... | 47 |
| 8. Запоминающие устройства..... | 52 |
| 9. Шинные формирователи..... | 61 |
| 10. Логические пробники..... | 63 |
| Глава 2. Изучение алгоритма работы цифровых микросхем и проверка их работоспособности | 64 |
| 1. Испытательный стенд для изучения элементов ЭВМ..... | 64 |
| 2. Логический элемент 2И-НЕ..... | 68 |
| 3. Четырехразрядный двоичный сумматор..... | 70 |
| 4. Арифметико-логическое устройство (АЛУ)..... | 72 |
| 5. D-триггер со статическим управлением | 74 |
| 6. D-триггер с динамическим управлением..... | 76 |
| 7. JK-триггер..... | 78 |
| 8. Восьмиразрядный реверсивный сдвиговый регистр..... | 80 |
| 9. Двоично-десятичный счетчик | 82 |
| 10. Мультиплексор..... | 84 |
| 11. Динамическая индикация..... | 86 |
| 12. Программатор для микросхем K155PE3..... | 88 |
| Глава 3. Учебная модель операционного блока ЭВМ (стенд ОАиВТ).. | 90 |
| 1. Оперативное запоминающее устройство (ОЗУ) | 90 |
| 2. Операционный блок ЭВМ..... | 93 |
| Глава 4. Лабораторный практикум..... | 96 |
| 1. Примерный список лабораторных работ и лабораторных демонстраций по электронно-вычислительной технике..... | 96 |
| 2. Задания для студентов к первому лабораторному занятию..... | 98 |
| 3. Инструкции к лабораторным работам..... | 100 |
| Литература | 108 |

Введение

Технические дисциплины играют важную роль в экспериментальной подготовке учителей физики. В учебные планы физико-математических факультетов педагогических вузов в конце восьмидесятых годов вместо трех дисциплин "Электротехника", "Радиотехника", "Основы автоматики и вычислительной техники" введен интегрированный курс "Электрорадиотехника с основами автоматики и вычислительной техники" (ЭРТАВТ). Программа этого курса предусматривала изучение в течение 5 семестров следующих разделов: электротехника, электроника, радиотехника, электронно-вычислительная техника, автоматика. На изучение ЭРТАВТ отводилось в течение 5 семестров 620 часов, в том числе: лекции – 146 часов, лабораторные занятия – 222 часа, индивидуальные занятия под руководством преподавателя – 76 часов, самостоятельная работа – 176 часов.

В последние годы значительно сокращен объем учебного времени, отводимого на изучение технических дисциплин. При уменьшении учебного времени не снизить существенно качество экспериментальной подготовки специалистов можно, выполняя лабораторные работы фронтально и проводя на лабораторных занятиях демонстрации. Изучение элементной базы цифровой техники остается актуальным и в настоящее время.

В первой главе данного пособия рассматривается принцип действия логических элементов, сумматоров, шифраторов, дешифраторов, мультиплексоров, демультимплексоров, триггеров, счетчиков и других элементов ЭВМ.

Во второй главе приводится описание разработанного автором стенда для изучения элементов ЭВМ. Стенд позволяет изучать алгоритм работы цифровых микросхем и проверять их работоспособность.

В третьей главе рассматривается учебная модель операционного блока ЭВМ на стенде ОАиВТ.

В четвертой главе приводится примерный список лабораторных работ и лабораторных демонстраций по электронно-вычислительной технике и инструкции к лабораторным работам.

Перед изучением раздела "Электронно-вычислительная техника" студенты должны **знать ответы на следующие вопросы:**

1. Устройство, принцип действия и характеристики биполярных транзисторов.
2. Устройство, принцип действия и характеристики полевых транзисторов.
3. Делитель напряжения на резисторах.
4. RC-цепи.
5. RL-цепи.
6. Электронный осциллограф.

Студенты должны уметь:

1. Пользоваться электрическим паяльником.
2. Правильно выбирать частотный диапазон и предел измерения многопредельного измерительного прибора (амперметра, вольтметра, омметра), определять погрешность измерения.
3. Измерять с помощью осциллографа амплитуду, длительность и период следования импульсов.
4. Определять с помощью авометра исправность полупроводникового диода и полярность его выводов.
5. Экспериментально определять структуру и выводы биполярного транзистора.
6. Строить графики исследуемых зависимостей.

Список основных демонстраций, включаемых в экзаменационные билеты

1. Наблюдение на экране осциллографа переходных процессов в RC-цепи при подключении ее к генератору прямоугольных импульсов напряжения и отключении от него.
2. Настройка неискажающего делителя напряжения с помощью генератора прямоугольных импульсов напряжения и осциллографа.
3. Мультивибратор на транзисторах с корректирующими диодами.
4. Мультивибратор и одновибратор на интегральных микросхемах ТТЛ.
5. Мультивибратор и одновибратор на интегральных микросхемах КМОП.
6. ЦАП в характеристикографе для транзисторов (можно воспользоваться принципиальной схемой).

Список основных вопросов, включаемых в экзаменационные билеты

1. Базовый логический элемент 2И-НЕ ТТЛ.
2. Базовый логический элемент 2И-НЕ КМОП.
3. Электронный ключ на биполярном транзисторе.
4. Триггеры.
5. Запоминающие устройства.
6. Учебная модель операционного блока ЭВМ.

Примечание. Ответы на основные вопросы должны даваться студентами без подготовки. Основные демонстрации проводятся студентами также без подготовки. Студент, не ответивший на экзамене на любой из основных вопросов или не поставивший любую из основных демонстраций, получает неудовлетворительную оценку.

Глава 1. КОМБИНАЦИОННЫЕ СХЕМЫ И ЦИФРОВЫЕ АВТОМАТЫ

1.1. Логические элементы

Различают комбинационные схемы и цифровые автоматы. В комбинационных схемах состояние на выходе в данный момент времени однозначно определяется состояниями на входах в тот же момент времени. Комбинационными схемами, например, являются логические элементы И, ИЛИ, НЕ и их комбинации. В цифровом автомате состояние на выходе определяется не только состояниями на входах в данный момент времени, но и предыдущим состоянием системы. К цифровым автоматам относятся триггеры.

Логическими элементами называются элементы, выполняющие логические операции И, ИЛИ, НЕ и комбинации этих операций. Указанные логические операции можно реализовать с помощью контактно-релейных схем и с помощью электронных схем. В настоящее время в подавляющем большинстве применяется электронные логические элементы, причем электронные логические элементы входят в состав микросхем. Имея в распоряжении логические элементы И, ИЛИ, НЕ, можно сконструировать цифровое электронное устройство любой сложности. Электронная часть любого компьютера состоит из логических элементов.

Система простых логических функций, на основе которой можно получить любую логическую функцию, называется функционально полной.

Функционально полными являются следующие пять систем:

1. $Y = \bar{X}$ - отрицание (НЕ)
 $Y = X1 \wedge X2$ - конъюнкция (И)
 $Y = X1 \vee X2$ - дизъюнкция (ИЛИ)
2. $Y = \bar{X}$ - отрицание (НЕ)
 $Y = X1 \wedge X2$ - конъюнкция (И)
3. $Y = \bar{X}$ - отрицание (НЕ)
 $Y = X1 \vee X2$ - дизъюнкция (ИЛИ)
4. $Y = \overline{X1 \wedge X2}$ - отрицание конъюнкции (И-НЕ) (штрих Шеффера)
5. $Y = \overline{X1 \vee X2}$ - отрицание дизъюнкции (ИЛИ-НЕ)

Отсюда следует, что для построения логического устройства любой сложности достаточно иметь однотипные логические элементы, например, И-НЕ или ИЛИ-НЕ.

Логические элементы могут работать в режимах положительной и отрицательной логики. Для электронных логических элементов в режиме положительной логики логической единице соответствует высокий уровень напряжения, а логическому нулю - низкий уровень напряжения. В режиме отрицательной логики логической единице соответствует низкий уровень напряжения, а логическому нулю - высокий.

Для контактно-релейных схем в режиме положительной логики логической единице соответствует замкнутый контакт ключа или реле, а логическому нулю - разомкнутый. Светящийся индикатор (лампочка, светодиод) соответствует логической единице, а несветящийся - логическому нулю.

Логические элементы, реализующие для режима положительной логики операцию И, для режима отрицательной логики выполняют операцию ИЛИ, и наоборот. Так, например, микросхема, реализующая для положительной логики функции элемента 2И-НЕ, будет выполнять для отрицательной логики функции элемента 2ИЛИ-НЕ.

Как правило, паспортное обозначение логического элемента соответствует функции, реализуемой "положительной логикой". Логические элементы И, ИЛИ, НЕ имеют один выход, число входов логических элементов И, ИЛИ может быть любым начиная с двух. Логические элементы И и ИЛИ, выпускаемые в составе микросхем, обычно имеют 2, 3, 4, 8 входов. В названии элемента первая цифра указывает число входов.

Прежде всего, рассмотрим реализацию логических элементов с помощью контактно-релейных схем. Рассмотрим логический элемент 2И. Он выполняет операцию логического умножения. На рисунке 1.1,а приведена контактно-релейная схема логического элемента 2И для режима положительной логики.

Обозначение логического элемента 2И на принципиальных схемах показано на рисунке 1.1,б. Знак & (амперсанта) в левом верхнем углу прямоуголь-

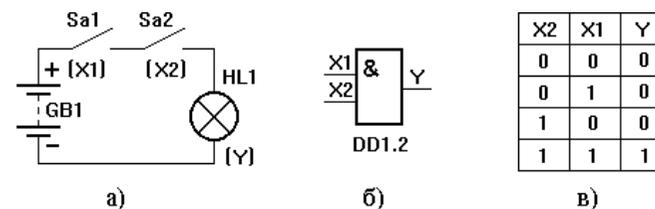


Рис. 1.1

ника указывает, что это логический элемент И. Первые две буквы обозначения DD1.2 указывают на то, что это цифровая микросхема, цифра слева от точки

указывает номер микросхемы на принципиальной схеме, а цифра справа от точки – номер логического элемента в составе данной микросхемы.

Функционирование логического элемента обычно задают таблицей истинности. Контактно-релейная схема логического элемента 2И (режим положительной логики) позволяет легко составить таблицу истинности этого элемента. Так как микросхема имеет для подачи входных сигналов два входа, то возможны $2^2=4$ различных комбинации входных сигналов. Необходимо проанализировать состояние лампочки при различных положениях тумблеров Sa1, Sa2, т.е. рассмотреть 4 различных комбинации состояний тумблеров (рис. 1.1,в).

Введение понятия активного логического уровня существенно облегчает анализ функционирования сложных цифровых устройств. Активным логическим уровнем на входе элемента (логический ноль, логическая единица) называется такой уровень, который однозначно задает состояние на выходе элемента независимо от логических уровней на остальных входах элемента. Активный логический уровень на одном из входов элемента определяет уровень на его выходе. Уровни, обратные активным, называются пассивными логическими уровнями.

Активным логическим уровнем для элементов И является логический ноль. Пусть, например, имеем логический элемент 8И. Необходимо проанализировать $2^8=256$ различных состояний для составления таблицы истинности этого элемента. Воспользуемся понятием активного логического уровня. Если хотя бы на одном из входов этого элемента будет активный логический уровень, то состояние на выходе элемента определено однозначно и нет необходимости анализировать состояния на остальных входах элемента.

Таким образом, таблицу истинности логического элемента 8И можно свести к двум строчкам: на выходе этого элемента будет логическая единица, если на всех входах будут сигналы логической единицы и на выходе будет логический ноль, если хотя бы на одном из входов элемента будет сигнал логического нуля.

Логический элемент 2ИЛИ выполняет логическую операцию логического сложения $y=x1+x2$. Контактно-релейная схема элемента приведена на рисунке 1.2,а, а его условное обозначение – на рисунке 1.2,б. Знание контактно-релейной схемы элемента позволяет составить таблицу истинности (рис.1.2,в). Лампочка будет гореть, если замкнуты контакты хотя бы одного тумблера, т.е. активным логическим уровнем для элементов ИЛИ является уровень логической единицы.

Логический элемент НЕ выполняет операцию отрицания, и для этого элемента проще составить сразу таблицу истинности, а не вычерчивать сначала контактно-релейную схему, а затем по ней составлять таблицу истинности. Для

логических элементов И и ИЛИ проще сначала вычертить контактно-релейную схему, а уже потом составлять таблицу истинности.

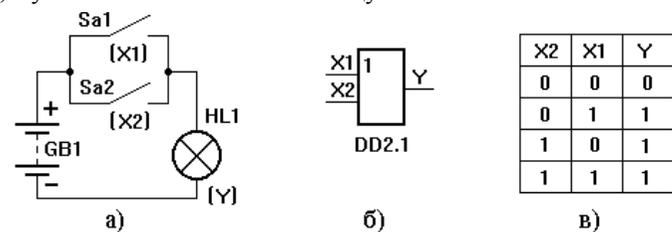


Рис. 1.2

Напомним алгоритм работы электромагнитного реле с нормально замкнутыми контактами: при отсутствии электрического тока через обмотку реле контакты реле замкнуты, а при протекании достаточного тока через обмотку реле контакты реле разомкнуты. Контактно релейная схема элемента НЕ приведена на рисунке 1.3а, а его условное обозначение – на рисунке 1.3б.

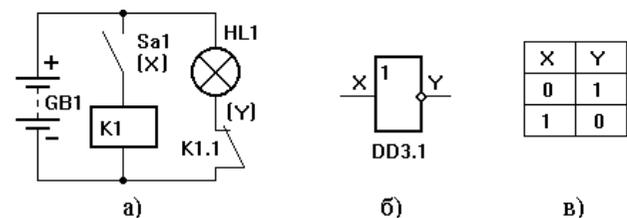


Рис. 1.3

Проанализируем работу контактно-релейной схемы логического элемента НЕ (рис. 1.3а). Если контакты ключа Sa1 разомкнуты, то через обмотку К электромагнитного реле ток протекать не будет. Контакты K1.1 (цифра слева от точки указывает номер реле на принципиальной схеме, а цифра справа – номер контактной группы данного реле) будут замкнуты (электромагнитное реле с нормально замкнутыми контактами). Электрическая лампочка HL1 в этом случае будет гореть, что для режима положительной логики будет означать логическую единицу. При замкнутых контактах ключа Sa1 (на входе элемента логическая единица) через обмотку реле протекает ток, достаточный для размыкания контактов K1.1, поэтому лампочка перестает гореть (логический ноль). В результате анализа мы получили, что сигнал на выходе элемента противоположен сигналу на входе, т.е. если на входе элемента сигнал логической единицы, то на выходе элемента сигнал логического нуля и наоборот (рис. 1.3,в).

При анализе работы логических элементов следует помнить о режиме их работы (режим положительной или отрицательной логики). Логические элементы, реализующие для режима положительной логики операцию И, для

режима отрицательной логики выполняют операцию ИЛИ и наоборот. Решим следующую задачу.

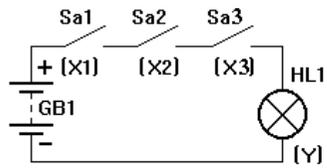


Рис. 1.4

Задача. Какую логическую операцию выполняет контактно-релейная схема, приведенная на рисунке 1.4.

Правильным ответом в этой задаче будет следующий. Указанная контактно-релейная схема выполняет операцию 3И для режима положительной логики и 3ИЛИ для режима отрицательной логики (решение обосновать самостоятельно).

В практической работе широко используются комбинации логических элементов и особенно элементы И-НЕ и ИЛИ-НЕ. Рассмотрим подробнее контактно-релейную схему элемента 2ИЛИ-НЕ, приведенную на рисунке 1.5,а. Условное обозначение элемента на принципиальных схемах показано на рисунке 1.5,б. Заполним таблицу истинности, приведенную на рисунке 1.5в. Если оба ключа разомкнуты ($X1=0$, $X2=0$), то лампочка HL1 горит, что соответствует логической единице на выходе элемента ($Y=1$). Замкнем контакты ключа Sa1 ($X1=1$), оставляя ключ Sa2 разомкнутым ($X2=0$). Лампочка HL1 в этом случае не горит ($Y=0$). Если замкнут хотя бы один ключ, то лампочка не горит. Следовательно, активным логическим уровнем на входе элемента ИЛИ-НЕ является уровень логической единицы.

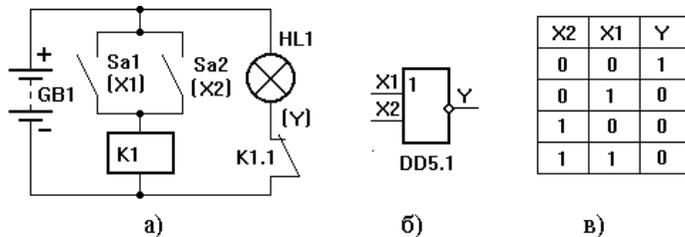


Рис. 1.5

Для двух аргументов логического элемента возможны 16 логических функций. В данном пособии рассматриваются логические функции: логическое И, логическое ИЛИ, логическое НЕ, логическое И-НЕ, логическое ИЛИ-НЕ, сумма по модулю 2.

В таблице 1.1 приведены условные обозначения элементов 2И, 2ИЛИ, НЕ, 2И-НЕ, 2ИЛИ-НЕ, исключающее ИЛИ (сумма по модулю 2), условные обозначения выполняемых этими элементами логических операций, таблицы их истинности и контактно-релейные схемы. При анализе контактно-релейной схемы элемента исключающее ИЛИ необходимо учитывать, что положения

переключателей SA1 и SA2 в таблице 1.1 соответствуют логическим единицам (верхнее положение подвижного контакта переключателя соответствует логической единице), т.е. $X1=1$ и $X2=1$. Лампочка HL1 горит лишь в том случае, когда подвижный контакт одного из переключателей находится в верхнем положении, а подвижный контакт второго переключателя в нижнем положении. Из анализа работы данной контактно-релейной схемы получаем таблицу истинности элемента исключающее ИЛИ.

Таблица 1.1

| Название элемента | Условное обозначение элемента | Таблица истинности | | | Условное обозначение логической операции | Контактно-релейная схема |
|-------------------|-------------------------------|--------------------|----|---|--|--------------------------|
| | | X2 | X1 | Y | | |
| 2И | | 0 | 0 | 0 | $X1 * X2$ $X1 \wedge X2$ | |
| | | 0 | 1 | 0 | | |
| | | 1 | 0 | 0 | | |
| | | 1 | 1 | 1 | | |
| 2ИЛИ | | 0 | 0 | 0 | $X1 + X2$ $X1 \vee X2$ | |
| | | 0 | 1 | 1 | | |
| | | 1 | 0 | 1 | | |
| | | 1 | 1 | 1 | | |
| НЕ | | 0 | 1 | 1 | \bar{X} $\neg X$ | |
| | | 1 | 0 | 0 | | |
| 2И-НЕ | | 0 | 0 | 1 | $\overline{X1 * X2}$ $\neg(X1 \wedge X2)$ | |
| | | 0 | 1 | 1 | | |
| | | 1 | 0 | 1 | | |
| | | 1 | 1 | 0 | | |
| 2ИЛИ-НЕ | | 0 | 0 | 1 | $\overline{X1 + X2}$ $\neg(X1 \vee X2)$ | |
| | | 0 | 1 | 0 | | |
| | | 1 | 0 | 0 | | |
| | | 1 | 1 | 0 | | |
| Исключающее ИЛИ | | 0 | 0 | 0 | $X1 \oplus X2$ | |
| | | 0 | 1 | 1 | | |
| | | 1 | 0 | 1 | | |
| | | 1 | 1 | 0 | | |

Рассмотрим решение следующей задачи: имея в распоряжении логические элементы 2И-НЕ, сконструировать устройство, реализующее операцию 3ИЛИ-НЕ для режима положительной логики. Эту задачу решим в два этапа. Сначала сконструируем устройство, выполняющее операцию 3И-НЕ для режима положительной логики (рис. 1.6,а), а потом на входах и выходе элемента 3И-НЕ установим логические элементы НЕ (рис. 1.6,б).

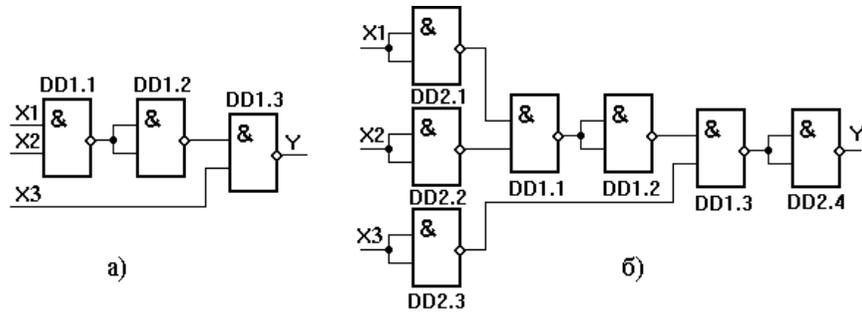


Рис. 1.6

По мере развития вычислительной техники электронные логические элементы совершенствовались. Рассмотрим принципиальную схему логического элемента 2И (рис. 1.7,а), построенного на диодах и резисторах. Для простоты

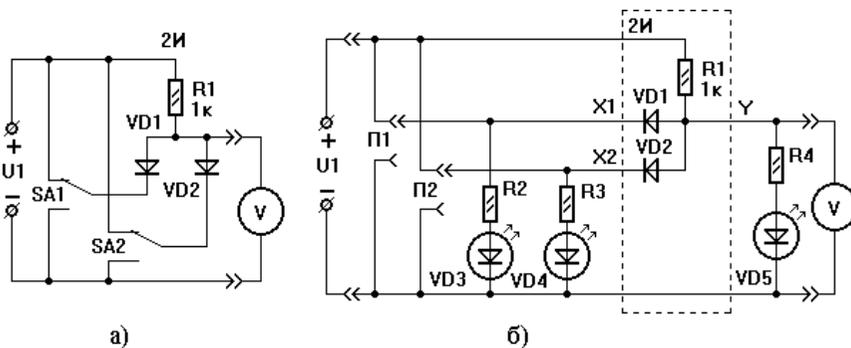


Рис. 1.7

рассмотрения будем считать, что напряжение логического «0» на входе элемента равно 0 В, а напряжение логической «1» - 5 В. Внутреннее сопротивление вольтметра значительно больше сопротивления резистора R1.

Вспомним особенности вольтамперной характеристики полупроводникового кремниевого диода небольшой мощности. При обратном напряжении ток, протекающий через диод, составляет десятые доли микроампера. Напряжение на диоде при протекании через него в прямом направлении тока в десятки

миллиампер, равно приблизительно 0,7-0,8 В. Определим примерно параметры логических уровней на выходах данного элемента, если на входе действуют логические уровни с указанными ранее параметрами. Если на оба входа поданы напряжения логических «1», то токи через диоды VD1 и VD2 не протекают, и напряжение на выходе элемента при условии, что сопротивление нагрузки значительно больше сопротивления резистора R1, будет примерно равно напряжению питания. Если хотя бы один из входов элемента соединить с минусовым проводом источника питания, то на выходе элемента в случае кремниевых диодов будет напряжение 0,7 - 0,8 В (зависит от сопротивления резистора R1 и напряжения источника питания).

Примечание: для рассмотренного логического элемента логическая «1» на входе будет, если вход никуда не подключен или подключен к плюсовому выводу источника питания.

На рисунке 1.7,б приведена схема простого и удобного в работе стенда для исследования диодно-резистивного логического элемента 2И. Светодиоды VD3 - VD5 являются индикаторами логических сигналов на входах и выходе логического элемента. Вольтметр V позволяет определить напряжения логической единицы и логического нуля. Для диодно-резистивного логического элемента 2И напряжение логического нуля на выходе примерно 0,7-0,8 В, а напряжение логической единицы чуть меньше напряжения на зажимах источника питания (определяется соотношением сопротивлений резистора R1 и нагрузки).

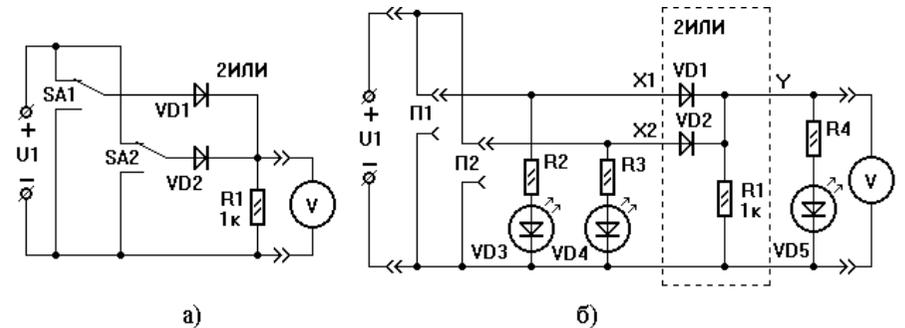


Рис. 1.8

На рисунках 1.8,а и 1.8,б приведены схемы для исследования диодно-резистивного логического элемента 2ИЛИ. Для этого элемента напряжение логического нуля на выходе равно 0 В, а напряжение логической единицы равно напряжению питания минус 0,7-0,8 В.

Следующим этапом совершенствования элементной базы цифровой техники было создание логических элементов диодно-транзисторной логики.

Рассмотрим принципиальную схему логического элемента 2И-НЕ диодно-транзисторной логики (рис. 1.9,а).

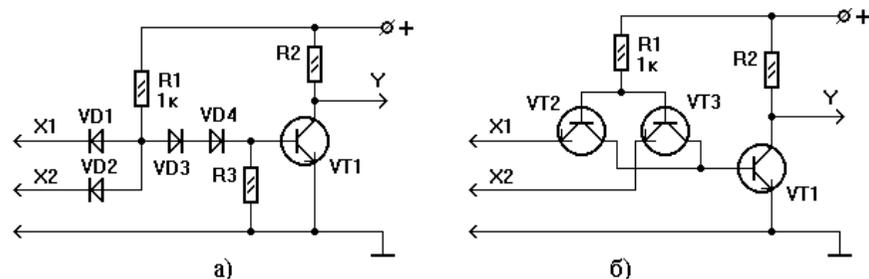


Рис. 1.9

Для понимания принципа работы логического элемента 2И-НЕ диодно-транзисторной логики необходимо знать, какой вид имеет зависимость тока коллектора транзистора от напряжения база-эмиттер при постоянном напряжении эмиттер- коллектор. Эта характеристика имеет примерно такой же вид, как и прямая ветвь вольтамперной характеристики полупроводникового диода. Для кремниевых транзисторов при напряжении база-эмиттер (в прямом направлении) менее 0,5 В ток в цепи коллектор-эмиттер практически равен нулю при любых допустимых напряжениях коллектор-эмиттер (транзистор закрыт, сопротивление между коллектором и эмиттером закрытого транзистора VT1 может достигать единиц МОм). При незначительном увеличении напряжения база-эмиттер (в прямом направлении) более 0,5 В ток коллектора значительно увеличивается, говорят, что транзистор открывается.

Диоды VD1, VD2 и резистор R1 (рис. 1.9,а) образуют логический элемент 2И. Роль инвертора выполняет транзистор VT1. Если транзистор закрыт, то ток в цепи: плюс источника питания, резистор R2, коллектор-эмиттер транзистора VT1, минус источника питания не протекает и напряжение между эмиттером и коллектором транзистора будет равно напряжению на зажимах источника питания. Диоды VD3, VD4 необходимы для надежного закрытия транзистора VT1, когда хотя бы на одном из входов элемента было напряжение логического нуля.

Если на обоих входах X1, X2 присутствуют сигналы логических единиц, транзистор VT1 открывается током базы, протекающим по цепи: плюс источника питания, резистор R1, диоды VD3, VD4, переход база-эмиттер транзистора VT1, минус источника. На выходе элемента будет напряжение 0,1-0,2 В, что соответствует логическому нулю.

На рисунке 1.9,б приведен вариант логического элемента 2И-НЕ на транзисторах. Инвертор на транзисторе VT1 не обеспечивает большую нагрузочную способность, поэтому в качестве инверторов применяют более сложные

схемы. Сложный инвертор в микросхемах транзисторно-транзисторной логики будет рассмотрен чуть позже. Сейчас остановимся на принципе работы инверторов, схемы которых приведены на рисунке 1.10.

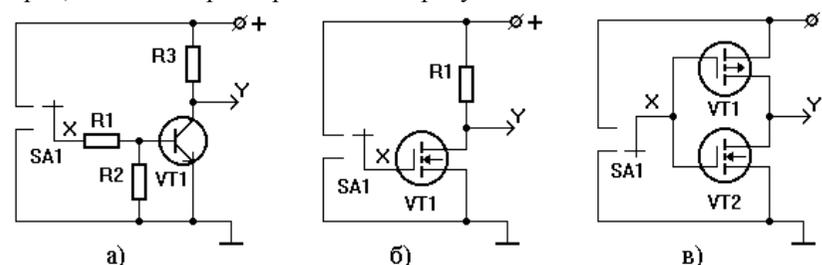


Рис. 1.10

Рассмотрим делитель напряжения (делитель напряжения источника питания) образованного резистором R3 и цепью коллектор-эмиттер транзистора VT1 (рис.1.10,а). Если на входе элемента логическая единица (подвижный контакт переключателя SA1 в верхнем положении), то транзистор VT1 открыт и в его коллекторной цепи протекает ток. Напряжение между коллектором и эмиттером транзистора составляет десятые доли вольта (не более 0,4 В). При логическом нуле на входе элемента транзистор закрыт и напряжение на выходе элемента равно напряжению питания, что соответствует логической единице.

На рисунках 1.10,б и 1.10,в приведены схемы инверторов с использованием полевых транзисторов. Напомним устройство и принцип действия полевых транзисторов. Существуют следующие виды полевых транзисторов: полевые транзисторы с управляющим p-n переходом, полевые транзисторы с изолированным затвором со встроенным каналом, полевые транзисторы с изолированным затвором с индуцированным каналом.

Полевые транзисторы называются также униполярными, одноканальными. Полевой транзистор в отличие от биполярного имеет большое входное сопротивление по цепи управления. Ток в выходной цепи полевого транзистора управляется напряжением, в то время как в биполярном транзисторе ток в выходной цепи транзистора управляется током во входной цепи транзистора. Таким образом, мощность управления в полевом транзисторе значительно меньше, чем в биполярном.

Полевой транзистор имеет 3 вывода: исток, сток, затвор. Исток – это вывод полевого транзистора, от которого основные носители заряда идут в канал. Сток – это вывод полевого транзистора, к которому идут основные носители заряда из канала. Затвор - это вывод полевого транзистора, на который подается управляющее напряжение относительно истока или относительно стока.

Наибольшее распространение имеют схемы включения транзистора с общим истоком, когда управляющее напряжение подается на затвор относительно истока.

В вычислительной технике в качестве электронных ключей широко используются полевые транзисторы с изолированным затвором с индуцированным каналом. Рассмотрим устройство и принцип действия полевого транзистора с изолированным затвором с индуцированным каналом n-типа (рис. 1.11).

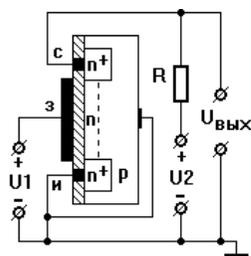


Рис. 1.11

В полупроводнике p-типа сделаны два кармана с проводимостью n-типа. Знак n⁺ указывает на большую концентрацию электронов, что делается для уменьшения сопротивлений выводов стока и истока. Металлический затвор изолирован от кристалла полупроводника.

При напряжении затвор-исток, равном нулю, в цепи сток-исток ток не протекает при любых допустимых напряжениях сток-исток, так как образуются два p-n перехода, причем верхний подключен в обратном направлении.

Поддадим на затвор относительно истока положительный потенциал. В полупроводниках p-типа имеются неосновные носители заряда (электроны). Рассмотрим движение электронов и дырок в слое полупроводника p-типа, прилежащем к затвору. Для упрощения рассмотрения соединим область p-типа с выводом истока. Под действием электрического поля, обусловленного наличием напряжения затвор – исток, дырки будут двигаться вправо, а электроны влево, т.е. в полупроводнике в приграничной к затвору области концентрация дырок уменьшается, а концентрация электронов увеличивается. При определенном напряжении затвор-исток в указанной области концентрация электронов станет больше концентрации дырок, наступит инверсия проводимости, т.е. в приграничной к затвору области появится слой полупроводника n-типа. В этом случае в цепи сток-исток протекает ток, т.к. между выводами стока и истока появился канал n-типа. Этот канал называется индуцированным (наведенным).

Для понимания принципа работы логических элементов на полевых транзисторах необходимо знать, что собой представляет стоко-затворная характеристика полевого транзистора. Стоко-затворная характеристика полевого транзистора в схеме включения с общим истоком (исток является общим для входной и выходной цепи) - это зависимость тока стока от напряжения затвор-исток при постоянном напряжении сток-исток. Эта характеристика полевого транзистора с изолированным затвором с индуцированным каналом n-типа

приведена на рисунке 1.12. Особенности стоко-затворных характеристик полевых транзисторов с изолированным затвором с индуцированным каналом позволяют использовать эти транзисторы в качестве электронных ключей.

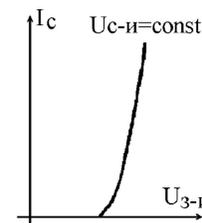


Рис. 1.12

Сравним основные характеристики электронного ключа на полевом транзисторе с характеристиками механического ключа. Сопротивление разомкнутого механического ключа можно считать бесконечно большим (пока не наступит электрический пробой), сопротивление ключа на полевом транзисторе порядка 10 МОм. Когда контакты механического ключа замкнуты сопротивление между контактами составляет сотые доли ома, для такого же состояния полевого транзистора сопротивление между стоком и истоком сотни Ом.

Если на входе инвертора, схема которого приведена на рисунке 1.10,б, напряжение логической единицы, то сопротивление между выводами сток и исток транзистора мало. Сопротивление резистора R1 выбирают значительно больше сопротивления между стоком и истоком открытого полевого транзистора и, следовательно, напряжение на выходе элемента будет близко к нулю вольт. При логическом нуле на входе логического элемента НЕ полевой транзистор будет закрыт, и на выходе элемента будет напряжение, примерно равное напряжению источника питания. Это обусловлено тем, что сопротивление резистора R1 выбирают во много раз меньше сопротивления между стоком и истоком закрытого транзистора.

Рассмотрим принцип работы инвертора (логического элемента НЕ) КМОП (комплиментарный, металл, окисел, полупроводник) структуры (рис. 1.10,в). Комплиментарный означает дополняющий друг друга по типу проводимости. Микросхемы КМОП имеют транзисторы как с каналом p-типа, так и с каналом n-типа. Учтем, что сопротивление между выводами сток-исток открытого транзистора - 200-300 Ом, а сопротивление между выводами сток-исток закрытого транзистора более 10 МОм.

Выберем напряжение питания 9 В. Пусть на вход X подано напряжение логического «0», тогда транзистор VT2 будет закрыт, а транзистор VT1 открыт, так как потенциал затвора транзистора VT1 относительно истока этого же транзистора равен минус 9В. На выходе элемента логическая единица.

Поддадим на вход X напряжение, соответствующее логической единице. Для рассмотренного случая это + 9 В относительно общего провода. В этом случае транзистор VT2 будет открыт, а транзистор VT1 – закрыт и на выходе элемента будет напряжение логического нуля.

Рассмотрим основные параметры, которыми характеризуются цифровые микросхемы.

Помехоустойчивость $U_{п, макс}$ – наибольшее значение напряжения помехи на входе микросхемы, при котором еще не происходит изменения уровней ее выходного напряжения.

Напряжение логической единицы U^1 – значение высокого уровня напряжения для "положительной" логики и значение низкого уровня напряжения для "отрицательной" логики.

Напряжение логического нуля U^0 – значение низкого уровня напряжения для "положительной" логики и значение высокого уровня напряжения для "отрицательной" логики.

Пороговое напряжение логической единицы $U^1_{пор}$ – наименьшее значение высокого уровня напряжения для "положительной" логики или наибольшее значение низкого уровня напряжения для "отрицательной" логики на входе микросхемы, при котором она переходит из одного устойчивого состояния в другое.

Пороговое напряжение логического нуля $U^0_{пор}$ – наибольшее значение низкого уровня напряжения для "положительной" логики или наименьшее значение высокого уровня напряжения для "отрицательной" логики на входе микросхемы, при котором она переходит из одного устойчивого состояния в другое.

Входной ток логической единицы $I^1_{вх}$ – измеряется при заданном значении напряжения логической единицы.

Входной ток логического нуля $I^0_{вх}$ – измеряется при заданном значении напряжения логического нуля.

Выходной ток логической единицы $I^1_{вых}$ – измеряется при заданном значении напряжения логической единицы.

Выходной ток логического нуля $I^0_{вых}$ – измеряется при заданном значении напряжения логического нуля.

Ток потребления в состоянии логической единицы $I^1_{пот}$ – значение тока, потребляемого микросхемой от источников питания при логических единицах на выходах всех элементов.

Ток потребления в состоянии логического нуля $I^0_{пот}$ – значение тока, потребляемого микросхемой от источников питания при логических нулях на выходах всех элементов.

Средний ток потребления $I_{пот. ср.}$ – значение тока, равное полусумме токов, потребляемых цифровой микросхемой от источников питания в двух устойчивых различных состояниях.

Потребляемая мощность в состоянии логической единицы $P^1_{пот}$ – значение мощности, потребляемой микросхемой от источника питания при логических единицах на выходах всех элементов.

Потребляемая мощность в состоянии логического нуля $P^0_{пот}$ – значение мощности, потребляемой микросхемой от источника питания при логических нулях на выходах всех элементов.

Средняя потребляемая мощность $P_{пот. ср.}$ – полусумма мощностей, потребляемых микросхемой от источников питания в двух устойчивых различных состояниях.

Время перехода интегральной микросхемы из состояния логической единицы в состояние логического нуля $t^{1,0}$ – интервал времени, в течение которого напряжение на выходе микросхемы переходит от напряжения логической единицы к напряжению логического нуля, измеренный на уровнях напряжения 0,1 и 0,9 от амплитуды импульса.

Время перехода интегральной микросхемы из состояния логического нуля в состояние логической единицы $t^{0,1}$ – интервал времени, в течение которого напряжение на выходе микросхемы переходит от напряжения логического нуля к напряжению логической единицы, измеренный на уровнях напряжения 0,1 и 0,9 от амплитуды импульса.

Время задержки распространения сигнала при включении $t^{1,0}_{зд, п}$ – интервал времени между входным и выходным импульсами при переходе напряжения на выходе микросхемы от напряжения логической единицы к напряжению логического нуля, измеренный на уровне 0,5 амплитуды.

Время задержки распространения сигнала при выключении $t^{0,1}_{зд, п}$ – интервал времени между входным и выходным импульсами при переходе напряжения на выходе микросхемы от логического нуля к логической единицы, измеренный на уровне 0,5 амплитуды.

Среднее время задержки распространения сигнала $t_{зд, р.с.}$ – интервал времени, равный полусумме времени задержки распространения сигнала при включении и выключении цифровой микросхемы.

Коэффициент объединения по входу $K_{об}$ – число входов микросхемы, по которым реализуется логическая функция.

Коэффициент разветвления по выходу $K_{раз}$ – число единичных нагрузок, которые можно одновременно подключить к выходу микросхемы (единичной нагрузкой является один вход основного логического элемента данной серии интегральных микросхем).

Коэффициент объединения по выходу $K_{об.вых}$ – число соединяемых между собой выходов интегральной микросхемы, при котором обеспечивается реализация соответствующей логической операции.

Сопротивление нагрузки R_n – значение активного сопротивления нагрузки, подключаемой к выходу интегральной микросхемы, при котором обеспечивается заданное значение выходного напряжения (выходного тока) или заданное усиление.

Емкость нагрузки C_n – максимальное значение емкости, подключенной к выходу интегральной микросхемы, при котором обеспечиваются заданные частотные и иные параметры.

Синхронизация работы отдельных узлов ЭВМ и других устройств цифровой техники осуществляется периодическими последовательностями прямоугольных импульсов напряжения. Импульсом напряжения называют отклонение напряжения от первоначального значения в течение короткого промежутка времени. Последовательность импульсов, мгновенные значения которых повторяются через равные промежутки времени, называют периодической последовательностью импульсов. Участок импульса, на котором происходит изменение напряжения от начального уровня до конечного, называют фронтом импульса, а участок, на котором напряжение возвращается к исходному уровню, называется срезом импульса. Длительностью фронта импульса считают время нарастания напряжения от $0,1 U_m$ до $0,9 U_m$, а длительностью среза – время изменения напряжения от $0,9 U_m$ до $0,1 U_m$, где U_m – амплитуда импульса. Когда говорят о длительности импульса, то необходимо указывать, на каком уровне от амплитуды импульса проводились измерения: на уровне $0,1 U_m$ или $0,5 U_m$. Частота следования импульсов – это число импульсов в одну секунду. Период следования импульсов – это минимальное время, через которое повторяются мгновенные значения напряжения. Интервал времени между окончанием одного импульса и началом следующего называется паузой. Величину, равную отношению периода следования импульсов к длительности импульса, называют скважностью импульсов. Периодическая последовательность прямоугольных импульсов при скважности 2 называется меандром. Прямоугольный импульс напряжения иногда рассматривают как совокупность двух перепадов напряжения. Перепады напряжения – это быстрые изменения напряжения между двумя уровнями. Перепад называют положительным, если напряжение изменяется от низкого уровня к высокому, и отрицательным, если напряжение изменяется от высокого уровня к низкому. Перепад напряжения, у которого длительность равна нулю, называется скачком напряжения. На рисунке 1.13 показано, как определяется длительность фронта входного импульса t_{ϕ} , время перехода интегральной микросхемы из состояния логической единицы в состояние логического

нуля $t^{1,0}$, время перехода интегральной микросхемы из состояния логического нуля в состояние логической единицы $t^{0,1}$, время задержки распространения при включении $t^{1,0}_{зд,р}$, время задержки распространения при **выключении** $t^{0,1}_{зд,р}$.

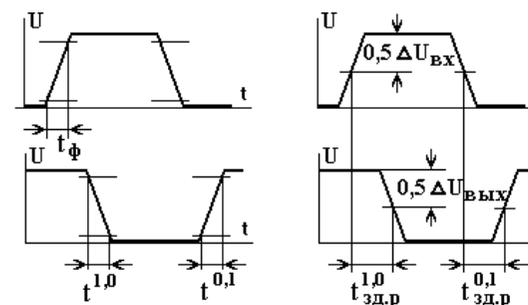


Рис. 1.13

1.2. Логический элемент 2И-НЕ и его характеристики

Широкое распространение получили логические элементы транзисторно-транзисторной логики (ТТЛ). Рассмотрим принципиальную схему логического элемента 2И-НЕ транзисторно-транзисторной логики со сложным инвертором на выходе. Такие логические элементы имеют хорошую нагрузочную способность.

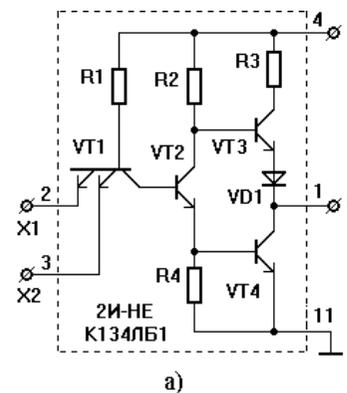


Рис. 1.14

На рисунке 1.14,а приведена принципиальная схема одного из четырех логических элементов 2И-НЕ микросхемы K134LB1, а на рисунке 1.14,б – условное обозначение этой микросхемы на принципиальных схемах. На рисунках 1.15,а и 1.15,в приведены принципиальные схемы логических элементов 2И-НЕ соответственно для микросхем K133JA3 и K155JA3. Каждая из этих микросхем имеет по 4 логических элемента 2И-НЕ, а их условные обозначения на принципиальных схемах совпадают (рис. 1.15,б).

Первые логические элементы ТТЛ не имели на входах защитных диодов. В момент окончания прямоугольного импульса на входе элемента в монтажных цепях цифрового устройства могут возникнуть затухающие колебания. Следствием этих колебаний может быть ложное срабатывание цифрового устройства. В результате доработки логических элементов к каждому входу многоэмиттерного

транзистора были подключены демпфирующие диоды. Первым отрицательным импульсом затухающего колебания демпфирующий диод открывается, и амплитуда затухающих колебаний резко уменьшается. Следующий положительный импульс затухающего колебания уже не может изменить состояние на выходе логического элемента.

Резисторы R4, R5 и транзистор VT5 в логическом элементе 2И-НЕ микросхемы К155ЛА3 (рис. 1.15,в) позволяют получить передаточную характеристику, более близкую к прямоугольной. Это повышает помехозащищенность в состоянии логической единицы на выходе элемента.

Рассмотрим работу логического элемента 2И-НЕ микросхемы К134ЛБ1 (рис. 1.14,а). Для логических элементов транзисторно-транзисторной логики напряжение логического нуля по техническим условиям может быть 0-0,4 В. Напряжение логической единицы - не менее 2,4 В и не более 5 В. Напряжение логического нуля можно подать, соединив вход элемента с общим проводом напрямую, либо через резистор малого сопротивления (не более 300 Ом). Напряжение логической единицы на вход элемента можно подать, соединив вход элемента с плюсовым проводом питания через резистор сопротивлением 1 Ком, либо оставляя вход элемента свободным.

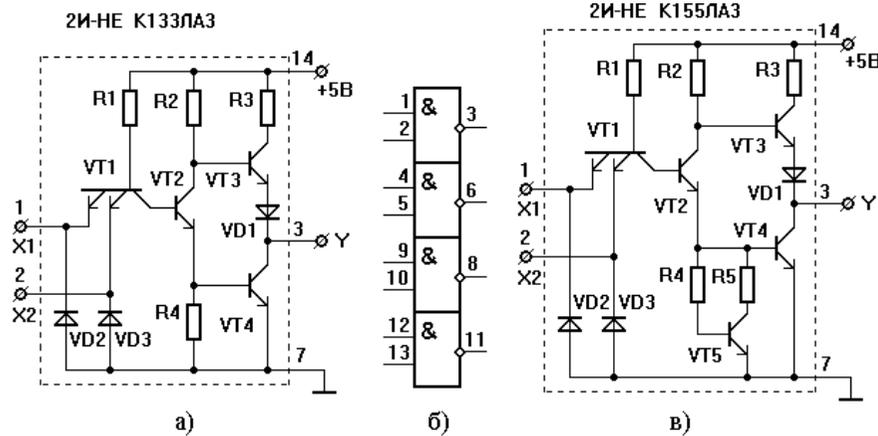


Рис. 1.15

Пусть на входы X1 и X2 элемента 2И-НЕ (рис. 1.14,а) поданы напряжения логической единицы. Рассмотрим случай, когда X1 и X2 никуда не подключены. В этом случае транзисторы VT2, VT4 будут открыты токами базы, протекающими по цепи: + источника, резистор R1, переход база-коллектор VT1, база-эмиттер VT2, база-эмиттер VT4, минус источника. Транзистор VT3 в этом случае закрыт, т.к. потенциал коллектора транзистора VT2 примерно 0,9 В.

Рассмотрим делитель напряжения, верхнее плечо которого состоит из последовательно соединенных резистора R3, выводов коллектор-эмиттер транзистора VT3, диода VD1, а нижнее плечо делителя – это выводы коллектор-эмиттер VT4. В рассматриваемом случае сопротивление верхней части делителя велико, а сопротивление нижней части делителя - мало. Выходное напряжение соответствует логическому нулю.

Если хотя бы на одном из входов X1, X2 действует логический нуль, то VT2, VT4 закрыты, а VT3 открыт. Ток базы транзистора VT3 протекает по цепи: плюс источника питания, резистор R2, переход база-эмиттер транзистора VT3, полупроводниковый диод VD1, резистор нагрузки (на схеме не показан), минус источника питания. В этом случае сопротивление между коллектором транзистора VT3 и катодом диода VD1 мало, а сопротивление между коллектором и эмиттером транзистора VT4 велико. Анализируя делитель напряжения, приходим к выводу, что выходное напряжение логического элемента будет соответствовать логической единице.

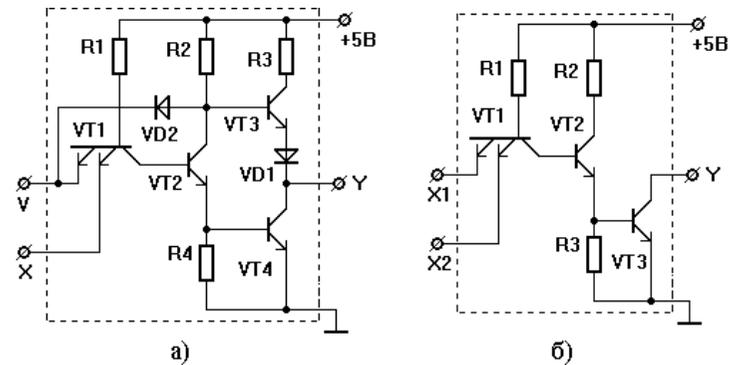


Рис. 1.16

В вычислительной технике широко применяется устройство с тремя состояниями на выходе. Рассмотрим логический элемент НЕ (инвертор) с тремя состояниями на выходе (рис. 1.16,а). Указанный инвертор легко получается из схемы базового логического элемента 2И-НЕ путем добавления в схему VD2.

Если на вход разрешения V микросхемы подано напряжение логической «1», то диод VD2 оказывается отключенным от схемы, и данный элемент можно рассматривать как логический элемент НЕ. Если на входе X логическая единица, то транзисторы VT2, VT4 будут открыты, транзистор VT3 закрыт и на выходе элемента будет сигнал логического нуля. Подадим на вход X сигнал логического нуля. В этом случае транзисторы VT2, VT4 будут закрыты, транзистор VT3 открыт и на выходе элемента будет сигнал логической единицы.

Подадим на вход V напряжение логического «0», в этом случае окажутся закрытыми $VT2, VT3, VT4$. Выход Y оказывается отключенным как от плюсового, так и от минусового проводов источника питания. Говорят, что выход элемента находится в третьем высокоимпеданном состоянии (состояние высокого сопротивления, как от клеммы «+», так и от клеммы «-» источника питания). Элементы с тремя состояниями позволяют организовать в компьютерных системах так называемую общую шину.

Элементы с тремя состояниями входят в состав шинных формирователей. Шинные формирователи это устройства, которые обеспечивают передачу сигнала в двух направлениях по одному и тому же проводу. В составе шинного формирователя на каждую линию потребуется 2 элемента с тремя состояниями на выходе.

На рисунке 1.16,б приведена схема логического элемента 2И-НЕ с открытым коллектором на выходе. Выходы нескольких таких элементов подключаются к одному резистору нагрузки, второй вывод которого подключен к плюсовому проводу источника питания.

На рисунке 1.17,а приведена схема подключения приборов для снятия зависимости выходного напряжения логического элемента от тока нагрузки в состоянии логической единицы на выходе элемента, а на рисунке 1.18,а – график этой зависимости. Логические элементы ТТЛ не выходят из строя при коротком замыкании нагрузки для случая логической единицы на выходе элемента, поэтому в цепи нагрузки нет необходимости ставить ограничительный резистор. Если на выходе элемента логический ноль, то при исследовании зависи-

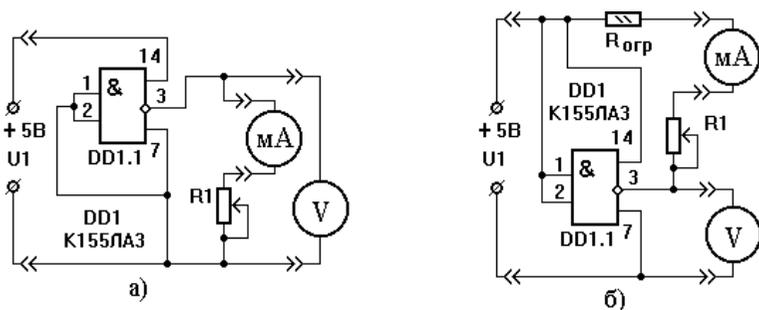


Рис. 1.17

мости выходного напряжения от тока нагрузки необходимо в цепи нагрузки устанавливать ограничительный резистор. На рисунке 1.17,б приведена схема подключения приборов для снятия зависимости выходного напряжения логического элемента от тока нагрузки в состоянии логического нуля на выходе элемента, а на рисунке 1.18,б – график этой зависимости. Сопротивление ограничительного

резистора в цепи нагрузки выбирают примерно таким же, как сопротивление резистора $R3$ в логическом элементе 2И-НЕ (рисунок 1.15,в), т.е. примерно 100 Ом. По графикам, приведенным на рисунке 1.18 можно определить коэффициент разветвления или нагрузочную способность логического элемента. По графику рисунка 1.18,а найдем ток нагрузки при выходном напряжении 2,4 В. Зная, что

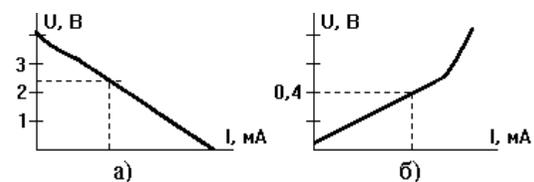


Рис. 1.18

выходной ток логической единицы 40 мкА, определим, сколько таких элементов можно подключить в состоянии логической единицы на выходе данного элемента. По рисунку 1.18,б определим ток нагрузки в состоянии логического нуля на

выходе элемента при напряжении 0,4 В. Зная, что входной ток логического нуля минус 1,6 мА, определим, сколько таких элементов можно подключить в состоянии логического нуля на выходе данного элемента. Наименьшее из двух полученных значений будет являться коэффициентом разветвления логического элемента. Определение коэффициента разветвления таким способом будет справедливо только для низких частот, когда влиянием входных емкостей элементов и емкости монтажа можно пренебречь.

На рисунке 1.19,а приведена схема для наблюдения на экране осциллографа зависимости выходного напряжения элемента от напряжения на его входе, а на рисунке 1.19,б – график этой зависимости для логического элемента 2И-НЕ ТТЛ. Диод $VD1$ может быть любым кремниевым малой мощности, т.к.

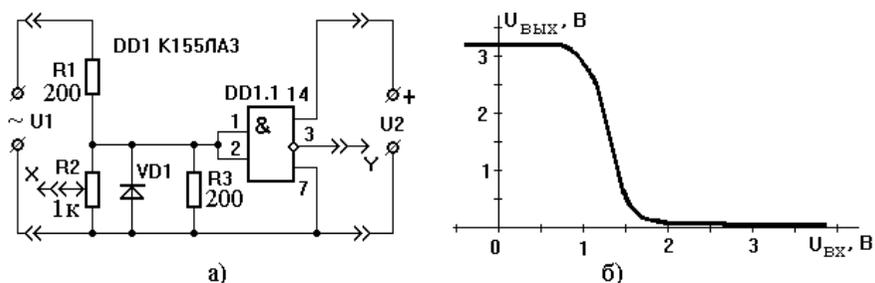


Рис. 1.19

обратное напряжение в данной схеме не превысит 5 В, а ток через диод в прямом направлении выбирается единицы миллиампер. Амплитуда переменного напряжения на выходе источника переменного напряжения не должна превышать 10 В. График зависимости выходного напряжения элемента от напряжения

на его входе называется передаточной характеристикой логического элемента. Из графика передаточной характеристики логического элемента 2И-НЕ видно, что при входных напряжениях менее 0,4 В на выходе элемента напряжение логической единицы, а при входных напряжениях более 2,4 В на выходе элемента напряжение логического нуля. Реально в логическом элементе входное напряжение логического нуля может быть больше 0,4 В, а напряжение логической единицы меньше 2,4 В. Однако, выбирать такой режим работы элемента нецелесообразно, т.к. уменьшается помехоустойчивость логического элемента.

На рисунке 1.20 приведена входная характеристика логического элемента 2И-НЕ, снятая по одному из входов элемента. На втором входе элемента напряжение логической единицы. Точка **а** на графике входной характеристики соответствует входному напряжению 2,4 В, а точка **б** – входному напряжению 0,4 В. Входной ток логической единицы не превышает 40 мкА, а входной ток логического нуля менее –1,6 мА. Знак минус означает, что ток вытекает из микросхемы.

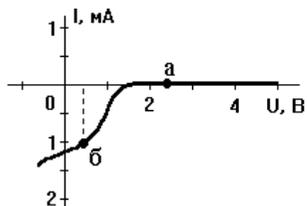


Рис. 1.20

На рисунке 1.21,а приведена схема подключения приборов для наблюдения на экране осциллографа зависимости выходного напряжения от тока нагрузки для случая, когда на выходе элемента логическая единица. Ограничительный резистор в цепи нагрузки не предусмотрен, т.к. исследуется логический элемент 2И-НЕ в состоянии логической единицы на выходе.

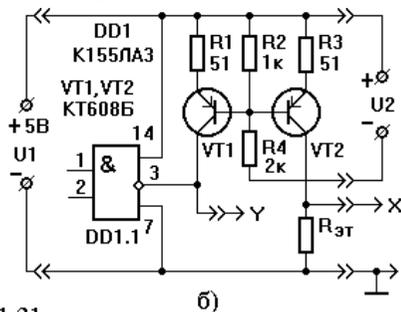
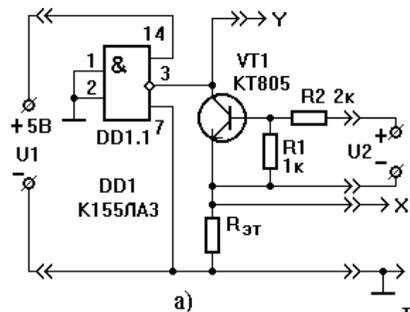


Рис. 1.21

В качестве источника U2 используется В24, с клемм «+» и «-» которого снимается пульсирующее с частотой 100 Гц напряжение. Сопротивление резистора $R_{эт}$ выбирают как можно меньше (коэффициент отклонения по каналу X осциллографа должен быть минимальным). Если чувствительность канала X осциллографа недостаточна, то на вход X можно подключить предварительный усилитель. Схема усилителя к входу X осциллографа ОМЛ-3М приведена на рисунке 1.22.

Для питания усилителя используют переменное напряжение 12 вольт. Сопротивление резистора R1 выбирают значительно больше сопротивления эталонного резистора $R_{эт}$. Выход предварительного усилителя подключают к входу «X» осциллографа. Переменным резистором R5 проводят балансировку микросхемы DA1 при отсутствии входного сигнала. Необходимый коэффициент отклонения луча по оси X устанавливают переменным резистором R4. Стабилитроны VD1 и VD2 выбирают с учетом того, что необходимо обеспечить перемещение луча по оси «X» из одного крайнего положения экрана в другое при изменении постоянного напряжения на входе усилителя от 0 до максимально возможного. Расчет сопротивлений резисторов R6, R7 параметрического стабилизатора напряжения проводился с учетом того, что для питания усилителя используется переменное напряжение 12 вольт и выбраны стабилитроны KC156A.

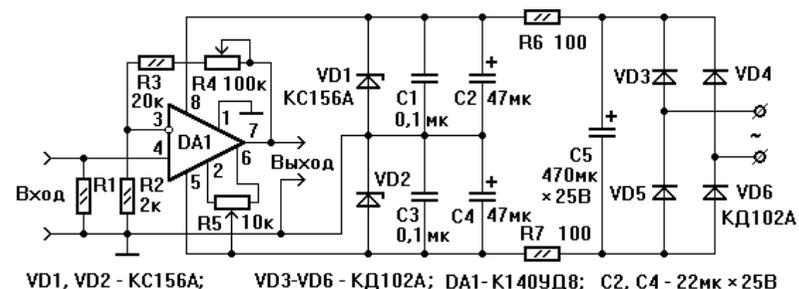


Рис. 1.22

На рисунке 1.21,б приведена схема подключения приборов для наблюдения на экране осциллографа зависимости выходного напряжения от тока нагрузки для случая, когда на выходе элемента логическая единица. На транзисторах VT1 и VT2 собрано токовое зеркало. Особенностью работы токового зеркала является то, что коллекторные токи обоих транзисторов одинаковы и в определенных пределах не зависят от сопротивлений нагрузок. Значения коллекторных токов определяются напряжением на резисторе R2 и сопротивлениями резисторов R1 и R3. Сопротивления резисторов R1 и R3 обычно выбирают одинаковыми. Сопротивление эталонного резистора в данной схеме не обязательно должно быть малым. Транзисторы VT1, VT2 должны иметь примерно одинаковый и достаточно большой коэффициент усиления по току.

В цифровых устройствах на входах логических элементов обычно присутствуют прямоугольные импульсы напряжения. Пусть напряжение на обоих входах логического элемента 2И-НЕ микросхемы K155ЛА3 скачком изменилось с высокого уровня на низкий (рис. 1.15,в). В этом случае транзистор VT3

начнет открываться, а транзистор VT4 – закрываться. Транзисторы открываются быстрее, чем закрываются. Поэтому в течение некоторого промежутка времени будут открыты транзисторы VT3 и VT4. Ток, потребляемый логическим элементом от источника питания, ограничивается только резистором R3. Указанный ток короткого замыкания приводит к увеличению потребляемой мощности в динамическом режиме. График зависимости потребляемой от источника питания мощности от частоты прямоугольных импульсов на входе приведен на рисунке 1.23.

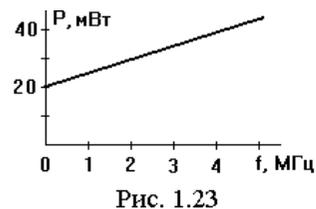


Рис. 1.23

1.3. Логический элемент 2И-НЕ КМОП и его характеристики

Рассмотрим схему логического элемента 2И-НЕ на микросхемах КМОП серии, приведенную на рисунке 1.24,а. При рассмотрении принципа работы логического элемента схему рисунка 1.24,а можно заменить эквивалентной схемой, приведенной на рисунке 1.24,б. На эквивалентной схеме сопротивления резисторов равны сопротивлениям между выводами сток-исток соответствующих полевых транзисторов.

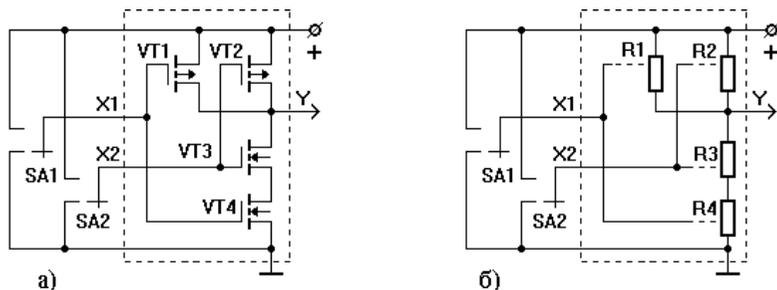


Рис. 1.24

Пунктирными линиями, идущими к резисторам R1–R4, отражается тот факт, что сопротивления указанных резисторов зависят от положения переключателей SA1, SA2. Закрытому транзистору соответствует сопротивление десятки МОм, а открытому – сотни Ом.

Выберем напряжение питания микросхемы 9 В. Пусть на входах X1, X2 действуют напряжения, соответствующие логическим нулям. В этом случае транзисторы VT1, VT2, будут открыты, а транзисторы VT3, VT4 закрыты. Эквивалентная схема для этого случая приведена на рисунке 1.25,а. Для закрытых транзисторов между выводами сток-исток на схеме показан разрыв электрической цепи, а для открытых транзисторов между указанными выводами

сопротивление мало. Рассматривая делитель напряжения в цепи питания, приходим к выводу, что на выходе логического элемента будет напряжение логической единицы.

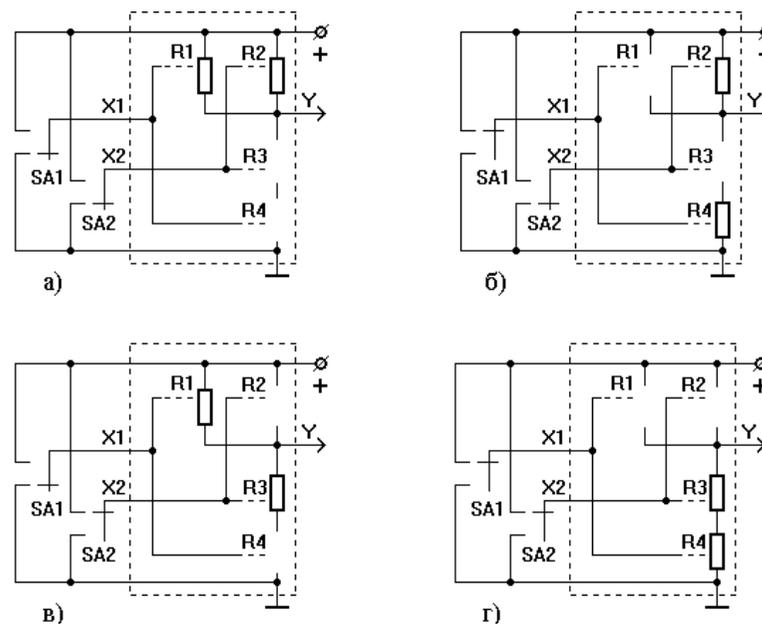


Рис. 1.25

Эквивалентные схемы логического элемента 2И-НЕ КМОП еще для трех случаев приведены на рисунке 1.25.

Для исследования зависимостей выходного напряжения от тока нагрузки для логических элементов КМОП используют те же схемы подключения приборов, что и для ТТЛ. Следует, однако, учитывать, что логические элементы КМОП не допускают короткого замыкания на выходе элемента в состоянии логической единицы. Для снятия зависимости выходного напряжения от тока нагрузки в состоянии логической единицы на выходе элемента собирают приборы по схеме, приведенной на рисунке 1.26,а. На рисунке 1.26,б приведена схема подключения приборов для снятия зависимости выходного напряжения от тока нагрузки в состоянии логического нуля на выходе элемента. Напряжение логической единицы и напряжение логического нуля зависят от выбранного напряжения питания логического элемента. При конструировании цифровых устройств необходимо в справочной литературе найти максимально допустимые токи нагрузки для используемых микросхем. Если таких данных нет, то

рекомендуется не допускать напряжение логической единицы менее 0,9-0,8 от напряжения питания, а напряжение логического нуля - более 0,1-0,2 от напряжения питания.

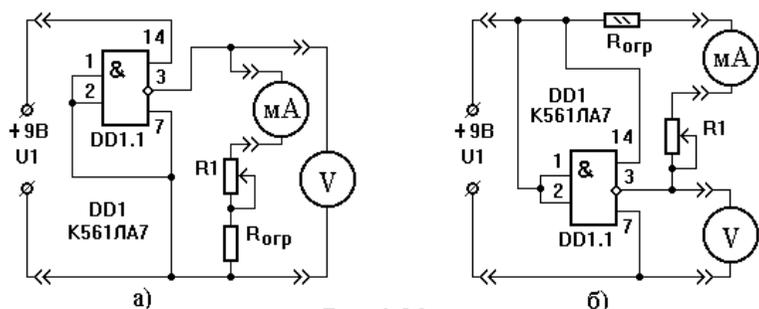


Рис. 1.26

Если сопротивление нагрузки очень велико (нагрузкой являются логические элементы КМОП), то в статическом режиме напряжение логической единицы на выходе элемента равно напряжению питания, а напряжение логического нуля – нуль вольт. Напряжение логического нуля для КМОП элемента отличается от нуля, если к выходу КМОП элемента подключен элемент ТТЛ.

Зависимости выходного напряжения от тока нагрузки в состоянии логической единицы и логического нуля на выходе элемента показаны соответственно на рисунке 1.27, а, б.

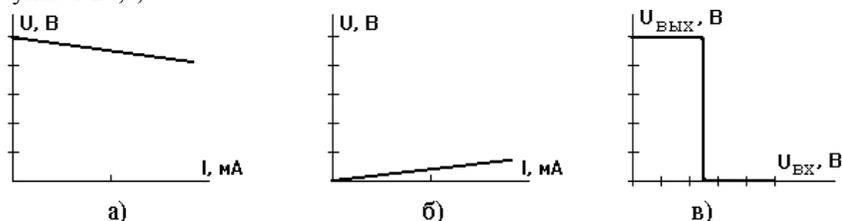


Рис. 1.27

Передаточная характеристика элемента 2И-НЕ микросхемы K561LA7 приведена на рисунке 1.27, в. Особенностью передаточной характеристики логических элементов КМОП является то, что изменение состояния на выходе элемента происходит при входном напряжении, примерно равном половине напряжения питания.

Для снятия передаточной характеристики логического элемента 2И-НЕ КМОП при различных питающих напряжениях удобно собрать приборы по схеме, приведенной на рисунке 1.28. Амплитуда переменного входного напряжения не должна превышать 15 В (напряжение питания микросхем КМОП).

Входную характеристику логических элементов КМОП не снимают, т.к. эти элементы имеют очень большое входное сопротивление, которое для многих случаев можно считать бесконечно большим.

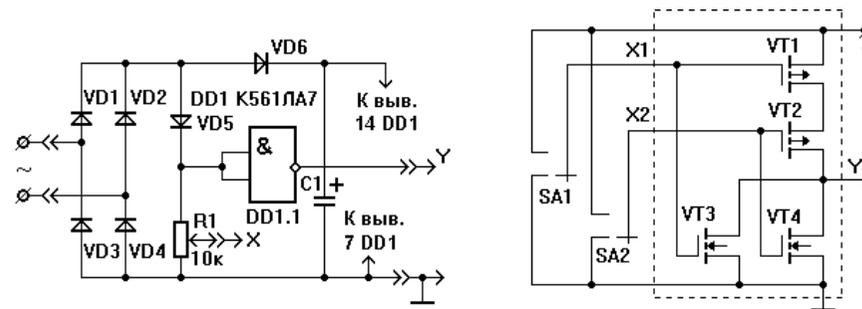


Рис. 1.28

Рис. 1.29

Схема логического элемента 2ИЛИ-НЕ КМОП приведена на рисунке 1.29. Анализ работы этого элемента легко провести самостоятельно по аналогии с анализом работы элемента 2И-НЕ.

Логические элементы КМОП в статическом режиме практически не потребляют ток от источника питания, если нагрузка логического элемента отключена. Как и в случае ТТЛ микросхем, в момент быстрого переключения элемента из одного состояния в другое возникают токи короткого замыкания. С увеличением частоты переключения ток, потребляемый микросхемой от источника питания, будет возрастать. На рисунке 1.30, а показана зависимость потребляемой мощности от источника питания в зависимости от частоты переключения.

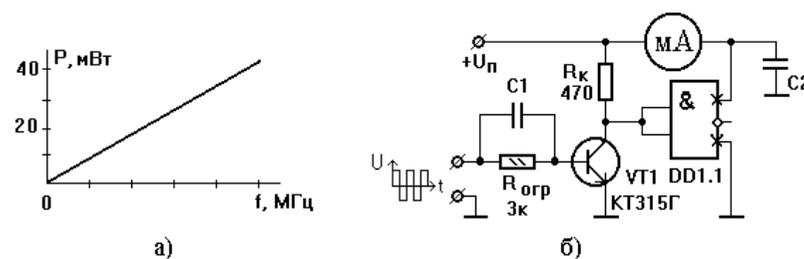


Рис. 1.30

На рисунке 1.30, б приведена схема подключения приборов для снятия зависимости потребляемой микросхемой мощности в зависимости от частоты прямоугольных импульсов напряжения на входе элемента. Электронный ключ на транзисторе VT1 с ускоряющим конденсатором C1 позволяет получить импульсы необходимой амплитуды.

1.4. Полный одноразрядный двоичный сумматор

Одноразрядные двоичные сумматоры строятся по самым различным схемам. Рассмотрим функционирование одноразрядного сумматора, составленного из двух полусумматоров. Полусумматор - это устройство, производящее сложение двух одноразрядных двоичных чисел без учета переноса предыдущего разряда. Составим таблицу истинности полусумматора и полного одноразрядного двоичного сумматора (таблица 1.2).

таблица 1.2

| A_i | B_i | P_{i-1} | S_i | P_i |
|-------|-------|-----------|-------|-------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

A_i, B_i – двоичные цифры i разряда, P_{i-1} – перенос из $(i-1)$ разряда, S_i – сумма, получившаяся в i разряде, P_i – перенос из i разряда в $(i+1)$ разряд.

Первые четыре строчки таблицы 1.2 представляют собой таблицу истинности полусумматора.

Сконструируем двоичный полусумматор. Из таблицы истинности следует, что полусумматор должен иметь два входа и два выхода. Следовательно, нам потребуются, по крайней мере, два двухвходовых логических элемента (каждый логический элемент имеет только один выход).

Из таблиц истинности логических элементов и полусумматора видно, что для получения суммы двух одноразрядных двоичных чисел необходимо использовать логический элемент исключающее ИЛИ, а для получения переноса – логический элемент 2И. Схема полусумматора, построенного на указанных логических элементах, приведена на рисунке 1.31.

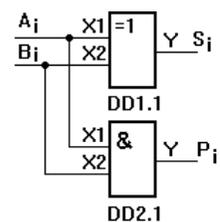


Рис. 1.31

Схема полного одноразрядного сумматора построенного на двух полусумматорах приведена на рисунке 1.32. Один полусумматор используется для сложения i -го разряда двоичных чисел, а второй полусумматор складывает результат первого полусумматора с переносом из $(i-1)$ разряда.

Показать самостоятельно, что для получения переноса в полном одноразрядном двоичном сумматоре необходимо сигналы переносов от полусумматоров подать на входы логического элемента 2ИЛИ, на выходе которого получится перенос из полного одноразрядного двоичного сумматора.

Рассмотрим следующий пример. Пусть $A_i=0, B_i=1, P_{i-1}=1$. В соответствии с таблицами истинности логических элементов 2И и исключающее ИЛИ на выходе элемента DD2.1 будет логический нуль, а на выходе DD1.1 – логическая единица.

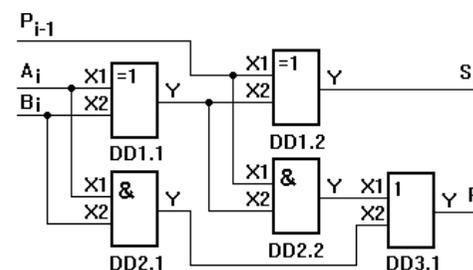


Рис. 1.32

На входах $X1, X2$ логического элемента DD1.2 сигналы логических единиц, следовательно на выходе этого элемента логический нуль. На выходе элемента DD2.2 сигнал логической единицы. На входе $X1$ элемента DD3.1 сигнал логической единицы. Логическая единица на входе логического элемента 2ИЛИ является

активным логическим уровнем и, следовательно, на выходе элемента DD3.1 будет сигнал логической единицы. В результате получим сумму в i -ом разряде, равную нулю, а перенос из i -го разряда равный единице.

Самостоятельно проанализировать работу полного одноразрядного двоичного сумматора для нескольких других примеров.

В главе 2 рассматривается микросхема K155ИМ3, содержащая четырехразрядный двоичный сумматор. Сердцем процессора является арифметико-логическое устройство (АЛУ). АЛУ на микросхеме K155ИП3 изучается с помощью стенда по методике, рассмотренной в главе 2.

1.5. Шифраторы, дешифраторы, мультиплексоры, демультиплексоры

Шифратор (кодер) преобразует сигнал на одном из входов в n -разрядное двоичное число. Функциональная схема шифратора, преобразующего десятичные цифры в 4-разрядное двоичное число, приведена на рисунке 1.33,а, а его условное обозначение – на рисунке 1.33,б. При появлении сигнала логической единицы на одном из десяти входов на четырех выходах шифратора будет присутствовать соответствующее двоичное число. Пусть сигнал логической единицы подан на вход 7. Тогда на выходах логических элементов DD1.1, DD1.2, DD1.3 будут сигналы логических единиц, а на выходе элемента DD1.4 – сигнал логического нуля. Таким образом, на выходах 8, 4, 2, 1 шифратора мы получим двоичное число 0111.

Некоторые из шифраторов снабжаются входом стробирования. Наличие входа стробирования позволяет выделять сигнал в определенный момент времени.

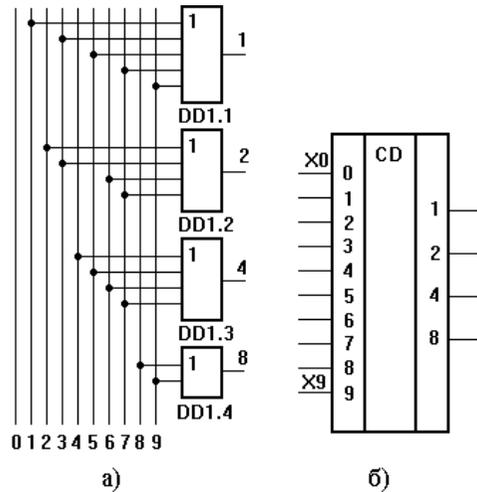


Рис. 1.33

Дешифратор (декодер) преобразует код, поступающий на его входы, в сигнал только на одном из его выходов. Дешифратор n -разрядного двоичного числа имеет 2^n выходов. Функциональная схема дешифратора на 16 выходов приведена на рисунке 1.34,а. По такой функциональной схеме построена микросхема К155ИД3. Условное обозначение этой микросхемы на принципиальных схемах приведено на рисунке 1.34,б. Для преобразования сигнала необходимо на входы V1 и V2 микросхемы подать сигналы логических нулей.

Пусть на входе дешифратора присутствует двоичное число 1111. В этом случае на всех пяти входах элемента DD1.15 будут сигналы логических единиц.

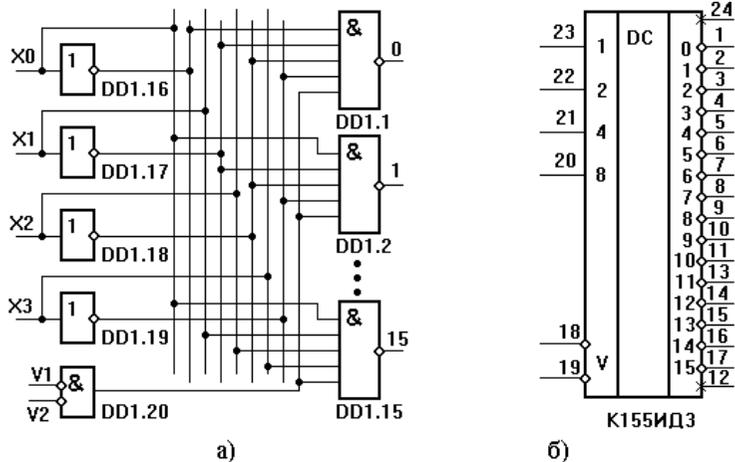


Рис. 1.34

ниц, а на выходе этого элемента будет логический нуль. На выходах всех остальных 15 элементов будут сигналы логических единиц. Если хотя бы на одном из входов V логическая единица, то единицы будут на всех 16 выходах.

В цифровой технике широко применяются мультиплексоры и демультимплексоры. Мультиплексор это устройство, обеспечивающее соединение одного из информационных входов с выходом. Номер информационного входа, который соединяется с выходом, задается в двоичном коде на адресных входах. Если мультиплексор имеет n адресных входов, то в нем может быть 2^n информационных входов. Демультимплексор это устройство, обеспечивающее соединение одного из информационных выходов с одним входом. Номер информационного выхода, который соединяется с входом, задается в двоичном коде на адресных входах. Если демультимплексор имеет n адресных входов, то в нем может быть 2^n информационных выходов.

Функциональная схема демультимплексора, имеющего четыре выхода, приведена на рисунке 1.35,а, а его условное обозначение на принципиальных схемах – на рисунке 1.35,б.

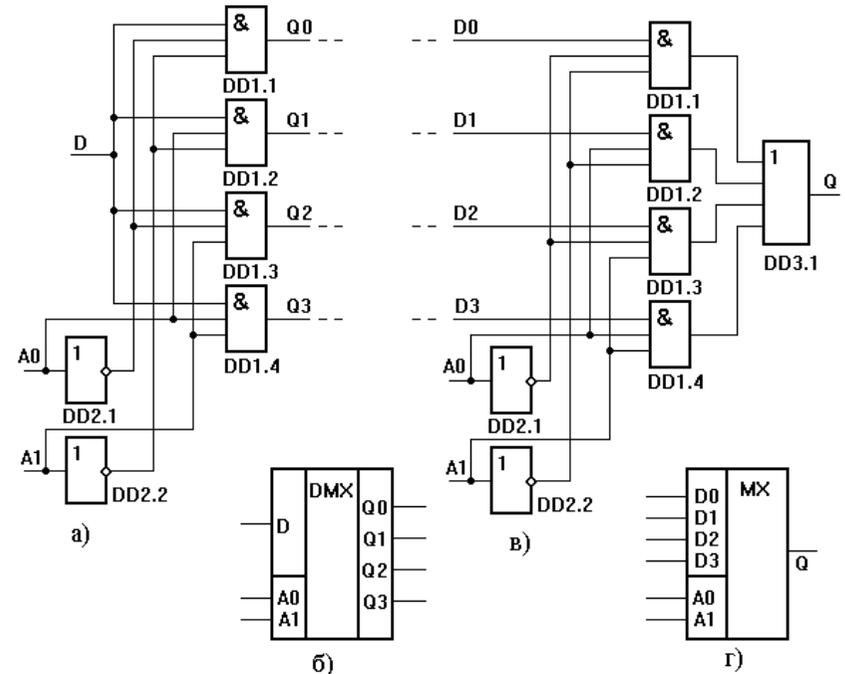


Рис. 1.35

Функциональная схема мультиплексора, имеющего четыре входа, приведена на рисунке 1.35,в, а его условное обозначение на принципиальных схемах – на рисунке 1.35,г. Мультиплексоры могут снабжаться дополнительным входом – входом разрешения передачи информации с входов на выход.

1.6. Триггеры

Триггеры имеют два устойчивых состояния. Эти состояния определяются по логическим уровням на выходах триггера. Триггер снабжается двумя выходами: прямым Q и инверсным \bar{Q} . Состояние триггера определяет логический уровень на выходе Q . Говорят, что триггер находится в состоянии логической единицы, если на выходе Q уровень напряжения, соответствующий логической единице.

Триггеры могут иметь входы различного типа:

R (от англ. RESET) – отдельный вход установки в состояние 0;

S (от англ. SET) – отдельный вход установки в состояние 1;

K – вход установки универсального триггера в состояние 0;

J – вход установки универсального триггера в состояние 1;

V – вход разрешения;

C – синхронизирующий вход;

D – информационный вход;

T – счетный вход

и некоторые другие.

Обычно название триггера дают по имеющимся у него входам: RS-триггер, JK-триггер, D-триггер и др.

По способу записи информации триггеры подразделяются на асинхронные и синхронные. В *асинхронных триггерах* состояние на выходе изменяется сразу же после изменения сигнала на информационных входах. В *синхронных триггерах* для передачи сигнала с информационных входов на выходы требуется специальный синхронизирующий импульс. Синхронные триггеры подразделяются на триггеры со статическим управлением и триггеры с динамическим управлением. В триггерах с динамическим управлением передача сигнала с информационных входов на выходы осуществляется по фронту или по спаду синхронизирующего импульса.

Триггеры относятся к цифровым автоматам. В отличие от комбинационных схем состояние на выходе триггера в данный момент времени определяется не только состояниями на входах триггера в этот же момент времени, но и предыдущим состоянием триггера. Цифровые автоматы, к которым относятся триггеры, иногда называют последовательными схемами.

Триггеры строились по самым разнообразным электрическим схемам. В последнее время триггеры обычно конструируют, используя логические элементы.

Рассмотрим два варианта RS-триггера: RS-триггер с прямыми входами и RS-триггер с инверсными входами. Установка триггера в нужное состояние

осуществляется подачей уровня логической «1» на соответствующий вход для триггера с прямыми входами и подачей сигналов логического «0» для триггера с инверсными входами.

Наибольшее распространение получили RS-триггеры, построенные на логических элементах 2И-НЕ или 2ИЛИ-НЕ. На рисунке 1.36,а приведена функциональная схема RS-триггера с инверсными входами на двух логических элементах 2И-НЕ, а на рисунке 1.36,б – его условное обозначение на принципиальных схемах.

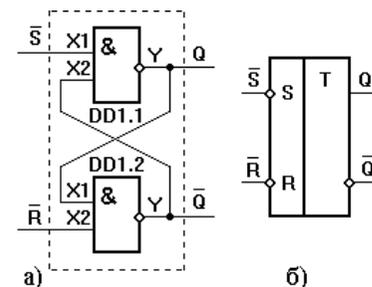


Рис. 1.36

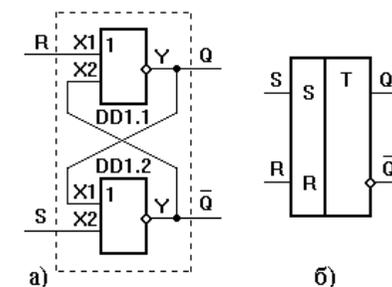


Рис. 1.37

RS- триггер с прямыми входами можно получить, имея в наличии два логических элемента 2ИЛИ-НЕ. Триггер получается путем соединения выхода первого логического элемента с одним из входов второго и соединения выхода второго логического элемента с одним из входов первого. Как видно из получившейся схемы (рис. 1.37,а), по отношению к логическим элементам триггер симметричен. По этой причине не имеет принципиального значения, выход какого из элементов считать прямым выходом триггера. Допустим, что прямым выходом триггера является верхний вывод. Определим, какой из входов триггера является входом R, а какой – входом S. Вспомним, что активным логическим уровнем для элементов ИЛИ-НЕ является уровень логической единицы, т.е. если на входе элемента 2ИЛИ-НЕ действует логическая «1», то на выходе будет «0». Зная, что вход R – это вход установки триггера в нулевое состояние, приходим к выводу, что входом R в данном случае будет верхний вход RS-триггера. Функциональная схема RS-триггера с прямыми входами на двух логических элементах 2ИЛИ-НЕ и его условное обозначение на принципиальных схемах приведены соответственно на рисунках 1.37а,б.

Работу RS-триггера можно описать различными способами: аналитически с помощью формулы; с помощью таблицы, в которой записываются состояния на входах и выходах триггера в различные моменты времени; с помощью

временных диаграмм. На временной диаграмме показывают, как меняются сигналы на выходах триггера при изменении сигналов на его входах.

Рассмотрим временную диаграмму работы RS-триггера с прямыми входами. Для RS-триггера нужно показать 4 графика (рис. 1.38). Пусть на входах R и S установлены пассивные для элементов ИЛИ-НЕ уровни логического нуля

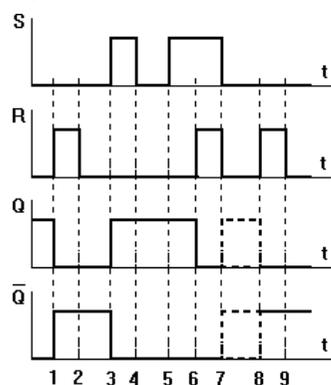


Рис. 1.38

(пассивные логические уровни не могут изменить состояние триггера) и пусть триггер находится в единичном состоянии, т.е. на выходе Q уровень логической единицы. Подадим на вход R в момент времени t_1 уровень логической единицы. Для анализа работы RS-триггера, как и любого цифрового устройства, воспользуемся понятием активного логического уровня. Это существенно облегчает анализ работы схемы. Если на одном входе логического элемента действует активный логический уровень, то нет необходимости анализировать логические состояния на других входах элемента. Т.к. в момент времени t_1 на входе R элемента DD1.1 действует активный логический уровень, то на выходе этого элемента, как следует из таблицы истинности, будет уровень логического нуля. На входах X1 и X2 элемента DD1.2 уровни логического нуля и, следовательно, на выходе этого элемента уровень логической единицы. Мы видим, что состояние триггера изменилось с единичного на нулевое. В момент времени t_2 установим на входе R уровень логического нуля. На входе X2 элемента DD1.1 уровень логической единицы и поэтому состояние триггера не изменится: на выходе Q логический нуль, а на выходе \bar{Q} – логическая единица. В момент времени t_3 на входе S установим уровень логической единицы, т.е. на входе X2 элемента DD1.2 будет активный логический уровень и на выходе этого элемента установится уровень логического нуля. На входах X1 и X2 элемента DD1.1 будут уровни логического нуля, а на выходе этого элемента – уровень логической единицы. Триггер перешел из нулевого состояния в единичное. В момент времени t_4 подадим на вход S уровень логического нуля и, проведя аналогичный анализ, увидим, что состояние триггера в момент времени t_4 не изменится. В момент времени t_5 подадим на вход S уровень логической единицы. Проведя аналогичный анализ, увидим, что состояние триггера не изменилось: на прямом выходе Q – уровень логической единицы, а на инверсном – уровень логического нуля. В момент времени t_6 установим уровень логической единицы на входе R. В этом случае на выходе Q появится уровень

логического нуля, и уровень логического нуля останется на выходе \bar{Q} . В момент времени t_7 установим на входах R и S одновременно уровень логического нуля. Состояние триггера в этом случае будет неопределенным. Может оказаться, что на выходе Q логическая единица, а на выходе \bar{Q} логический нуль, или наоборот. Поэтому в устройствах цифровой техники одновременную подачу активных логических уровней на входы R и S триггера запрещают. Такой запрет делают не потому, что триггер выйдет из строя, а потому, что состояние триггера неоднозначно после одновременного снятия уровней логической единицы на входах R и S. В момент времени t_8 подадим на вход R напряжение логической единицы, в результате чего на прямом выходе триггера получим напряжение логического нуля.

Рассмотренные триггеры относятся к так называемым асинхронным триггерам. В асинхронных триггерах состояние на выходе изменяется в момент поступления сигналов на информационные входы. В синхронных триггерах для передачи сигнала с информационных входов на выход требуется специальный синхронизирующий импульс.

Синхронные триггеры подразделяются на триггеры со статическим управлением и триггеры с динамическим управлением. В триггерах с динамическим управлением передача сигналов с информационных входов на выходы осуществляется либо по фронту синхронизирующего импульса, либо по спаду синхронизирующего импульса.

На рисунках 1.39,а,в приведены функциональные схемы синхронного RS-триггера с прямыми входами, а условное обозначение этих триггеров на принципиальных схемах показано на рисунке 1.39,б.

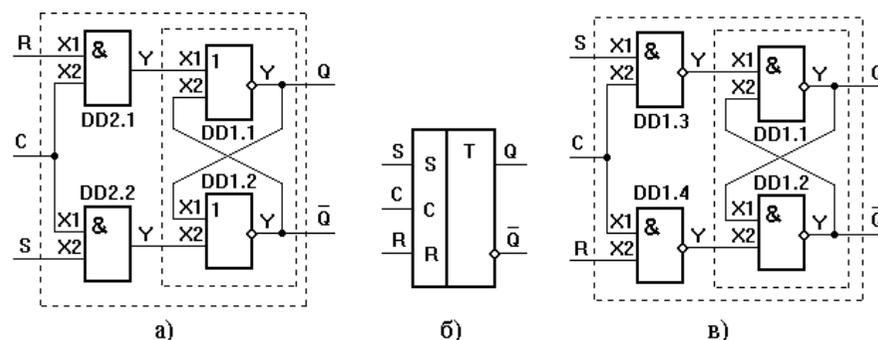


Рис. 1.39

Рассмотрим функциональную схему синхронного RS-триггера, приведенную на рисунке 1.39а. При $C=0$ на входах R, S асинхронного триггера на

элементах DD1.1 и DD1.2 действуют сигналы логического нуля (логический ноль является пассивным логическим уровнем для логических элементов 2ИЛИ-НЕ), поэтому при любых комбинациях сигналов на входах R, S синхронного RS-триггера состояние триггера не меняется. При C=1 рассмотренный синхронный RS-триггер работает точно так же, как рассмотренный чуть раньше асинхронный RS-триггер с прямыми входами. Рассмотренный только что синхронный RS-триггер относится к триггерам со статическим управлением.

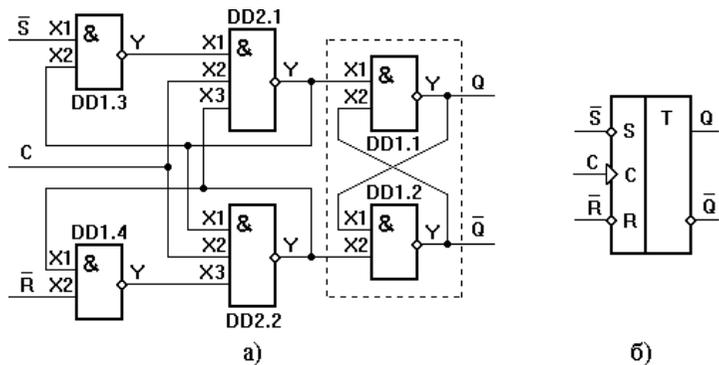


Рис. 1.40

На рисунках 1.40,а и 1.41,а приведены функциональные схемы синхронных RS-триггеров с динамическим управлением, а их условные обозначения на принципиальных схемах соответственно на рисунках 1.40,б и 1.41,б. Если в

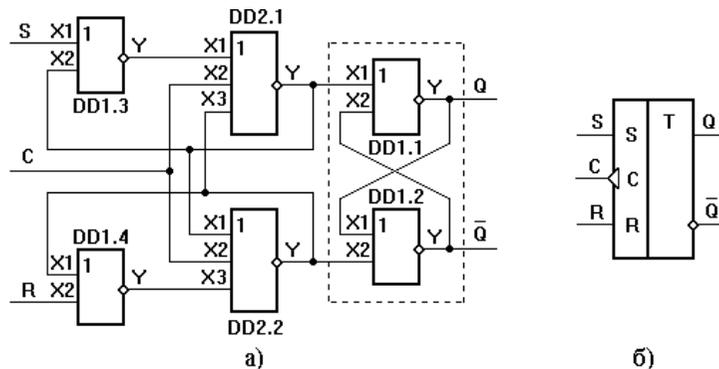


Рис. 1.41

обозначении синхронного RS-триггера с динамическим управлением стрелочка на входе C направлена к триггеру, то передача сигналов с информационных входов на выходы происходит по фронту импульса, а если стрелочка направлена

от обозначения триггера, то передача сигнала осуществляется по спаду импульса.

Рассмотрим синхронный RS-триггер с динамическим управлением, схема которого приведена на рисунке 1.40,а. Проанализировав функциональную схему синхронного RS-триггера с динамическим управлением, убедимся в том, что состояние триггера не меняется как при изменении сигналов на входах S и R при C=0, так и при C=1, если триггер переключился по фронту синхронизирующего импульса. При C=0 на выходах элементов DD2.1, DD2.2 будут сигналы логической единицы, и состояние на выходе триггера изменяться не будет при любых изменениях сигналов на входах R и S. Установим на инверсном входе S уровень логического нуля, на инверсном входе R уровень логической единицы, и сигнал на входе C изменим с логического нуля на логическую единицу. На выходе элемента DD2.1 появится сигнал логического нуля и триггер перейдет в единичное состояние, или состояние триггера не изменится, если он находился в единичном состоянии. Оставляя на входе C сигнал логической единицы, перевести триггер в нулевое состояние не удастся. Для перевода триггера в противоположное состояние обязательно необходимо подать синхронизирующий импульс.

В синхронных RS-триггерах со статическим управлением остается неоднозначность состояния на выходе триггера, если с входов R, S одновременно убирать активные уровни сигналов. Для устранения неоднозначности в схему синхронного RS-триггера добавляют логический элемент «НЕ». Получившийся триггер является D-триггером со статическим управлением. Функциональная схема этого триггера приведена на рисунке 1.42,а, а его условное обозначение на принципиальных схемах – на рисунке 1.42,б.

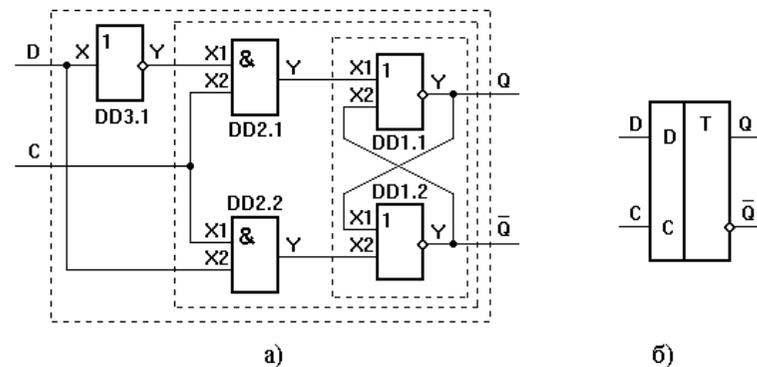


Рис. 1.42

При $C=0$ состояние триггера изменяться не будет какой бы ни был сигнал на входе D , т.к. на выходах элементов $DD2.1$, $DD2.2$ будут сигналы логических нулей. При $C=1$ и $D=1$ на выходе элемента $DD2.1$ появится сигнал логического нуля, а на прямом выходе D -триггера – сигнал логической единицы. При $C=1$ и $D=0$ сигнал логического нуля появится на выходе элемента $DD2.2$, на инверсном выходе D -триггера установится логическая единица, а на прямом выходе – логический нуль. Таким образом, D -триггер воспринимает информацию с входа D и передает ее на выход Q при $C=1$, и затем хранит ее сколько угодно долго (пока подключен источник питания) при $C=0$. Т.е. мы имеем ячейку памяти для хранения 1 бита информации.

На рисунке 1.43,а приведен еще один вариант схемы D -триггера со статическим управлением. Условное обозначение обоих этих триггеров одинаковое.

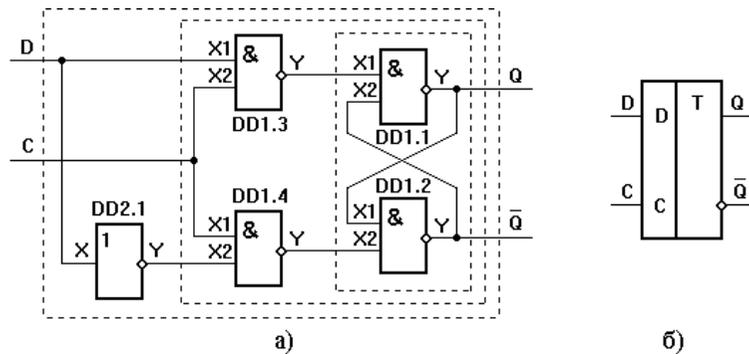


Рис. 1.43

Временная диаграмма работы D -триггера со статическим управлением приведена на рисунке 1.44. Из диаграммы следует, что передача информации с входа D на выход Q осуществляется во время действия синхронизирующего импульса. Счетный триггер из данного триггера путем соединения инверсного выхода с входом D получить нельзя.

Из D -триггера можно легко получить DV -триггер. Вместо логических элементов 2И-НЕ используют логические элементы 3И-НЕ и делают дополнительно вход разрешения V . Функциональная схема

DV -триггера и его условное обозначение на принципиальных схемах показаны соответственно на рисунке 1.45,а-б.

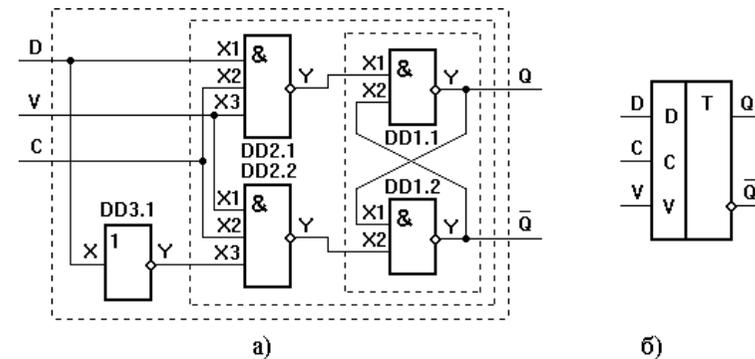


Рис. 1.45

Широко используют D -триггеры с динамическим управлением. В них передача информации с информационных входов на выходы осуществляется либо по фронту синхронизирующего импульса, либо по спаду синхронизирующего импульса. Функциональная схема D -триггера с передачей информации с входа на выход триггера по фронту синхронизирующего импульса приведена на рисунке 1.46,а, а его условное обозначение на принципиальных схемах – на рисунке 1.46,б.

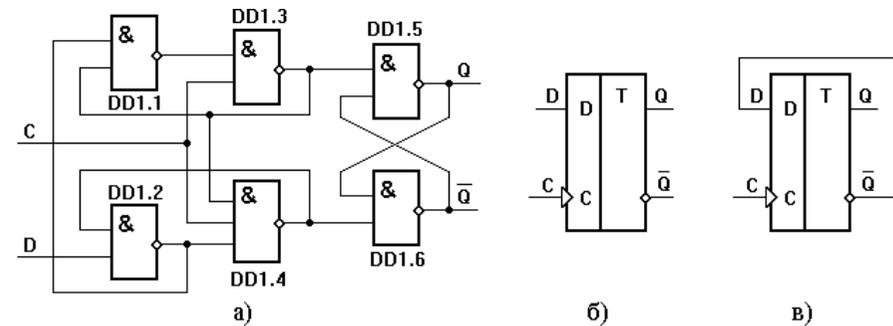


Рис. 1.46

При $C=0$ на выходах элементов $DD1.3$, $DD1.4$ будут сигналы логических единиц и состояние на выходе триггера не изменится при любых изменениях сигнала на входе D . Установим на входе D сигнал логической единицы и изменим на входе C сигнал с логического нуля на единицу. Перед подачей на вход C сигнала логической единицы на выходе элемента $DD1.2$ логический нуль, а на верхнем входе элемента $DD1.3$ логическая единица. При появлении на входе C

логической единицы на выходе элемента DD1.3 установится логический нуль, а на прямом выходе триггера – логическая единица. Сигнал логического нуля подается с выхода элемента DD1.3 на нижний вход элемент DD1.1 и на верхний вход элемента DD1.4. Оставляя на входе С логическую единицу, изменим сигнал на входе D с логической единицы на нуль. На выходе элемента DD1.2 установится логическая единица, а сигналы на выходах элементов DD1.1, DD1.3 не изменятся, следовательно, не изменится состояние на выходе триггера.

При $D=0$ изменим сигнал на входе С с логической единицы на нуль. На выходах элементов DD1.3, DD1.4 будут логические единицы, а на прямом выходе триггера останется сигнал логической единицы. Затем изменим сигнал на входе С с логического нуля на логическую единицу. На выходе DD1.4 установится логический нуль, на инверсном выходе триггера логическая единица, а на прямом выходе – логический нуль. Из анализа работы данного триггера следует, что в нем передача информации с входа D на выход Q осуществляется по фронту синхронизирующего импульса, подаваемого на вход С.

Триггеры являются составной частью счетчиков электрических импульсов. D-триггер с динамическим управлением легко превратить в счетный триггер. С этой целью необходимо инверсный выход триггера соединить с информационным входом D, а импульсы подавать на синхронизирующий вход. Схема такого соединения приведена на рисунке 1.46,в.

Находят применение двухтактные RS-триггеры (рис. 1.47,а). На рисунке 1.47,б приведена схема счетного триггера, построенного на основе двухтактного RS-триггера. Двухтактный RS-триггер состоит из двух триггеров: главного и

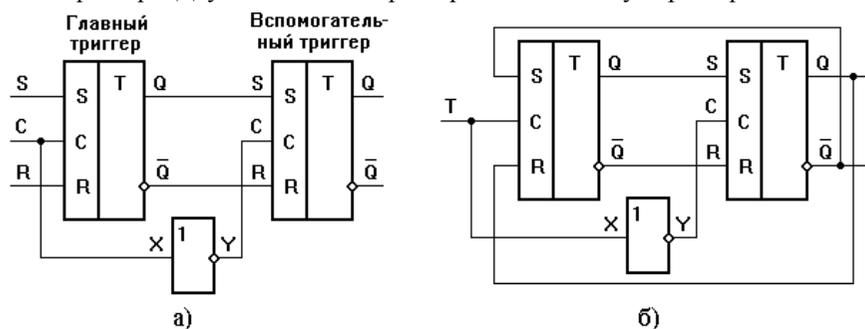


Рис. 1.47

вспомогательного. Иногда главный триггер называют ведущим, а вспомогательный ведомым. По окончании синхронизирующего (тактового) импульса вспомогательный триггер переписывает информацию с выхода главного

триггера. Используя двухтактные RS-триггеры, можно построить JK-триггер. В JK-триггере устранена неопределенность, возникающая в RS-триггере при одновременном снятии активных логических сигналов с входов R и S.

Функциональная схема JK-триггера, построенного с использованием двухтактных (двухступенчатых) RS-триггеров, приведена на рисунке 1.48,а, а его условное обозначение на принципиальных схемах – на рисунке 1.48,б.

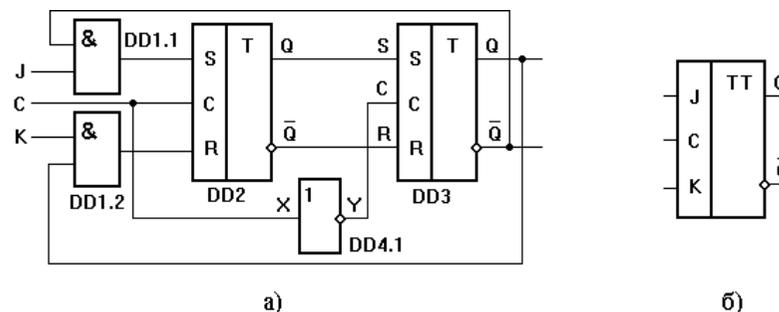


Рис. 1.48

В условных обозначениях триггеров, построенных с использованием двухтактного синхронного RS-триггера, ставят две буквы Т. Если входы J и K данного триггера соединить вместе и подать на них сигнал логической единицы, а импульсы подавать на вход С, то получим счетный триггер.

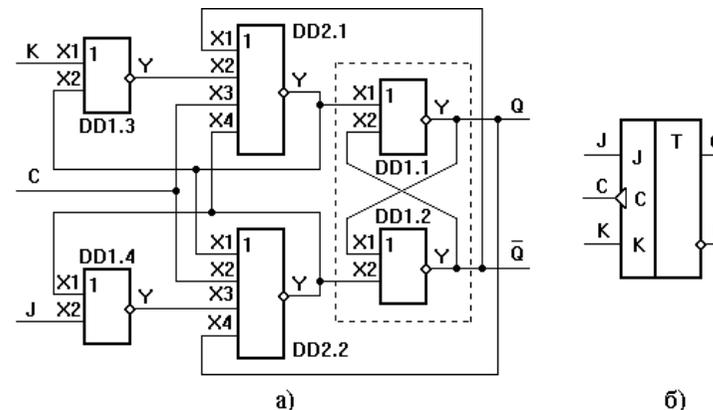


Рис. 1.49

Широкое распространение получили JK-триггеры, построенные с использованием синхронных RS-триггеров с динамическим управлением. На рисунке 1.49,а

приведена функциональная схема JK-триггера, переключающегося по спаду синхронизирующего импульса, а условное обозначение этого триггера на принципиальных схемах приведено на рисунке 1.49,б. Элементы DD1.1, DD1.2 образуют асинхронный RS-триггер.

Функциональная схема JK-триггера, переключающегося по фронту синхронизирующего импульса, показана на рисунке 1.50,а, а условное обозначение приведено на рисунке 1.50,б. При $C=0$ на выходах элементов DD2.1 и DD2.2 логические единицы и состояние RS-триггера DD3 не изменяется. Если на инверсных входах J и K логические единицы, то переключение сигнала на входе C с логического нуля на логическую единицу не изменит состояние на выходе JK-триггера.

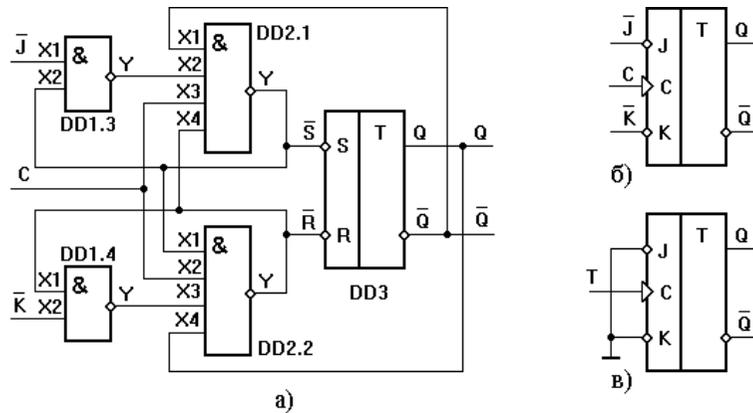


Рис. 1.50

На рисунке 1.50,в приведена схема использования JK-триггера в качестве счетного. На входы J и K подаются логические нули, а импульсы подаются на вход C. Вход C в данном случае является счетным входом T. Частота импульсов на выходе данного счетчика в два раза меньше частоты импульсов на входе. Скважность импульсов на выходе счетчика равна двум независимо от скважности импульсов на входе счетчика.

Напомним, что триггеры относятся к цифровым автоматам. Цифровые автоматы состоят из комбинационных схем. Триггеры входят в состав счетчиков электрических импульсов, регистров, запоминающих устройств. Один из универсальных сдвиговых регистров рассмотрен в главе 2. Перейдем к рассмотрению счетчиков и запоминающих устройств.

1.7. Счетчики электрических импульсов

Счетчиком называют цифровое устройство, обеспечивающее подсчет числа электрических импульсов. Коэффициент пересчета счетчика равен минимальному числу импульсов, поступивших на вход счетчика, после которых состояния на выходе счетчика начинают повторяться. Счетчик называют суммирующим, если после каждого очередного импульса цифровой код на выходе

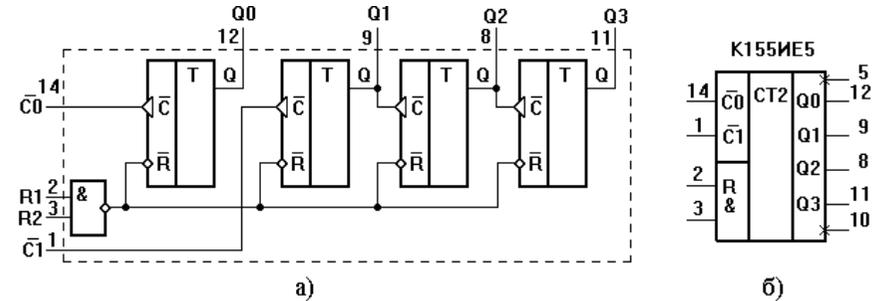


Рис. 1.51

счетчика увеличивается на единицу. В вычитающем счетчике после каждого импульса на входе счетчика цифровой код на выходе уменьшается на единицу. Счетчики, в которых возможно переключение с режима суммирования на режим вычитания, называются реверсивными.

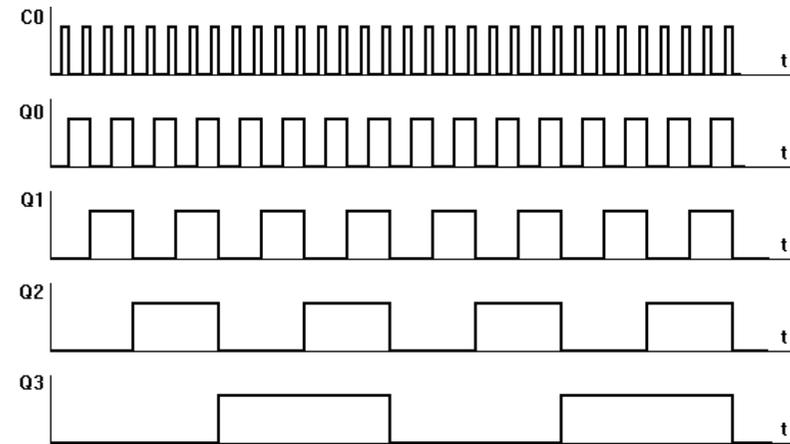


Рис. 1.52

Счетчики могут быть с предварительной установкой. В таких счетчиках информация с входов предварительной установки передается на выходы счетчика по

сигналу на специальном входе предварительной установки. По своей структуре счетчики делятся на последовательные, параллельные и параллельно-последовательные. Последовательный двоичный счетчик образован цепочкой последовательно включенных счетных триггеров. В параллельном счетчике

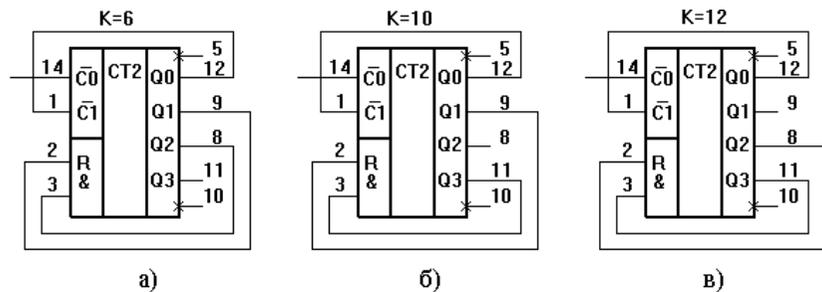


Рис. 1.53

счетные импульсы подаются одновременно на входы всех разрядов счетчика. Параллельные счетчики имеют большее быстродействие по сравнению с последовательными. Параллельно-последовательные счетчики имеют высокое быстродействие и большое значение коэффициента пересчета.

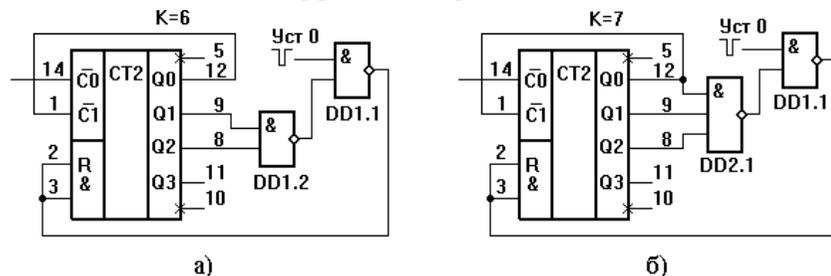


Рис. 1.54

Счетчики электрических импульсов имеются как в ТТЛ, так и в КМОП сериях. В качестве примера счетчика ТТЛ рассмотрим микросхему K155ИЕ5. Функциональная схема счетчика K155ИЕ5 приведена на рисунке 1.51,а, а его условное обозначение на принципиальных схемах на рисунке 1.51,б. Счетчик K155ИЕ5 имеет фактически два счетчика: с коэффициентом пересчета два (вход C0 и выход Q0) и с коэффициентом пересчета восемь (вход C1 и выходы Q1, Q2, Q3). Счетчик с коэффициентом пересчета шестнадцать легко получается, если соединить выход Q0 с входом C1, а импульсы подавать на вход C0. Временная диаграмма работы такого счетчика приведена на рисунке 1.52.

На рисунке 1.53 приведены схемы подключения, изменяющие коэффициент пересчета счетчика K155ИЕ5. Выходы счетчика Q0, Q1, Q2, Q3 имеют соответственно весовые коэффициенты 1, 2, 4, 8. Соединив выходы Q1, Q2 с входами

установки счетчика в нуль, получим счетчик с коэффициентом пересчета шесть (рис. 1.53,а). На рисунке 1.53,б показана схема подключения для получения коэффициента пересчета десять, а на рисунке 1.53,в – двенадцать. Однако в схемах, приведенных на рисунках 1.53,а – в, отсутствует возможность установки счетчиков в нулевое состояние.

На рисунках 1.54,а, б приведены соответственно счетчики с коэффициентами пересчета шесть и семь, в которых предусмотрен вход установки счетчика в нулевое состояние. Анализ работы схем, приведенных на рисунках 1.53 – 1.54, показывает, что для получения заданного коэффициента пересчета соединяют с входами логического элемента И те выходы счетчика, весовые коэффициенты которых в сумме дают необходимый коэффициент пересчета.

В таблице 1.3 приведены состояния на выходах счетчика с коэффициентом пересчета десять после поступления каждого очередного импульса, причем счетчик предварительно был установлен в нулевое состояние.

Таблица 1.3

| № импульса | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 |
|------------|---|---|---|---|---|---|---|---|---|---|----|----|----|----|
| Q0 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Q1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| Q2 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| Q3 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |

Рассмотрим некоторые из счетчиков КМОП серии. На рисунке 1.55 приведено условное обозначение микросхемы K561ИЕ8 – десятичного счетчика с

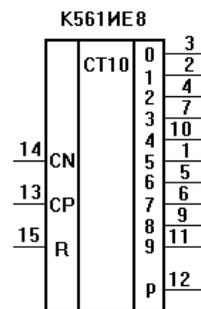


Рис. 1.55

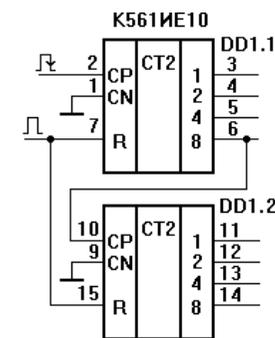
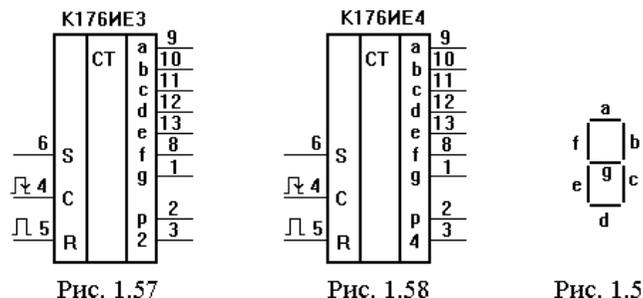


Рис. 1.56

дешифратором. Микросхема имеет вход установки в нулевое состояние R, вход для подачи счетных импульсов положительной полярности CP и вход для подачи счетных импульсов отрицательной полярности CN. Переключение счетчика

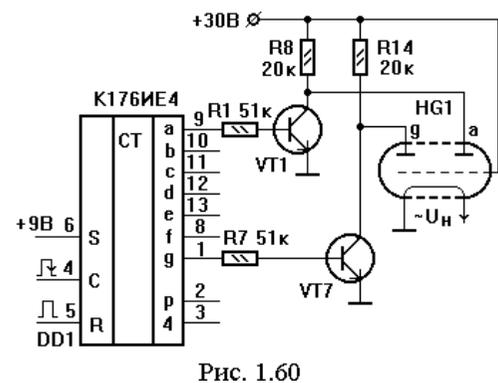
происходит по спадам импульсов положительной полярности на входе CP, при этом на входе CN должна быть логическая единица. Переключение счетчика будет происходить по спадам импульсов отрицательной полярности на входе CN, если на входе CP логический нуль. На одном из десяти выходов счетчика всегда присутствует логическая единица. Установка счетчика в нуль происходит при подаче на вход R логической единицы. При установке счетчика в нулевое состояние на выходе «0» установится логическая единица, а на всех остальных выходах – логические нули. Микросхемы К561ИЕ8 можно объединять в многоразрядные счетчики с последовательным переносом, соединяя выход переноса предыдущей микросхемы с входом CN последующей. На рисунке 1.56 приведена схема многоразрядного счетчика на микросхемах К561ИЕ10.

Промышленностью выпускаются счетчики для электронных часов. Рассмотрим некоторые из них. На рисунке 1.57 приведено условное обозначение



микросхемы К176ИЕ3, а на рисунке 1.58 – микросхемы К176ИЕ4. На этих рисунках выходы микросхем показаны для стандартного обозначения сегментов

индикатора, приведенного на рисунке 1.59. Эти микросхемы отличаются друг от друга коэффициентом пересчета. Коэффициент пересчета микросхемы К176ИЕ3 равен шести, а коэффициент пересчета микросхемы К176ИЕ4 равен десяти. Установка в нуль рассматриваемых счетчиков осуществляется подачей сигнала логической единицы на вход R. Переключение триггеров



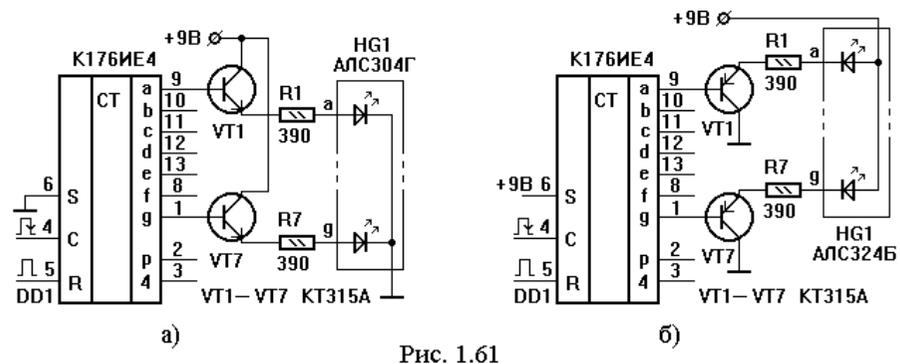
счетчика происходит по спаду положительных импульсов на входе С. Микросхемы имеют выход переноса р (вывод 2), к которому подключается обычно

вход следующего счетчика. Спад напряжения на этом выходе формируется в момент перехода счетчика из состояния 9 в состояние 0. Микросхемы различаются сигналами на выводе 3. Для микросхемы К176ИЕ3 на выводе 3 появляется логическая единица при установке счетчика в состояние 2, а для микросхемы К176ИЕ4 – в состояние 4. Это необходимо для обнуления показаний часов в 24 часа.

При подаче сигнала логического нуля на вход S логические единицы на выходах счетчика будут на тех сегментах, которые отображают число импульсов, поступивших на вход счетчика. При подаче на вход S логической единицы полярность выходных сигналов изменяется. Возможность переключения полярности выходных сигналов позволяет достаточно просто изменить схему подключения цифровых индикаторов.

На рисунке 1.60 приведена схема подключения люминесцентного индикатора к выходам микросхемы К176ИЕ4. Подключение индикатора к выходам микросхемы К176ИЕ3 будет аналогичным.

Схемы подключения светодиодных индикаторов к выходам микросхемы 176ИЕ4 приведены на рисунках 1.61,а и 1.61,б. На входе S устанавливается логический нуль для индикаторов с общим катодом и логическая единица для индикаторов с общим анодом.



Описание микросхем К176ИЕ5, К176ИЕ12, К176ИЕ13, К176ИЕ17, К176ИЕ18, К176ИД2, К176ИД3 и их применение в электронных часах можно найти в [29]. Микросхемы К176ИЕ12, К176ИЕ13, К176ИЕ17, К176ИЕ18 допускают напряжение питания от 3 до 15 В.

Универсальные счетчики могут работать в режимах сложения, вычитания, установки начального кода, установки счетчика в нуль. К универсальным счетчикам относятся К155ИЕ6, К155ИЕ7, К561ИЕ11, К561ИЕ14. Алгоритм работы счетчика К155ИЕ6 рассматривается во второй главе.

1.8. Запоминающие устройства

Мы уже знаем, что для хранения 1 бита информации может быть использован триггер. Набор триггеров образует регистровое запоминающее устройство. Выпускаемые промышленностью микросхемы памяти можно классифицировать по различным признакам. По функциональному назначению микросхемы памяти подразделяют на микросхемы постоянных запоминающих устройств (ПЗУ) и микросхемы оперативных запоминающих устройств (ОЗУ). Постоянные запоминающие устройства работают в режимах хранения и считывания информации. ОЗУ работают в режимах записи, хранения и считывания информации. ОЗУ применяются для хранения кодов выполняемых программ и промежуточных результатов обработки информации.

Существует четыре типа микросхем ПЗУ: ROM (Read Only Memory) – постоянные запоминающие устройства; PROM (Programmable ROM) – программируемые постоянные запоминающие устройства; EPROM (Erasable PROM) – перепрограммируемые постоянные запоминающие устройства с ультрафиолетовым стиранием информации; EEPROM (Electrically Erasable PROM) – перепрограммируемые постоянные запоминающие устройства с электронным стиранием информации, также называемые flash ROM.

В зависимости от элемента памяти (ЭП) микросхемы ОЗУ подразделяют на статические и динамические. В статических ОЗУ элементом памяти является триггер на биполярных или полевых транзисторах. В динамических ОЗУ элементом памяти является конденсатор, в качестве которого обычно используется затвор полевого транзистора.

На принципиальных схемах обычно используют обозначения выводов микросхемы в соответствии с сигналами, присутствующими на этих выводах: А – адрес, С – тактовый, ST – строб, CAS – выбор адреса столбца, RAS – выбор адреса строки, CS – выбор кристалла, E – разрешение, WR – запись, RD – считывание, WR/RD – запись-считывание, OE – разрешение выхода, D – данные (информация), DI – входные данные, DO – выходные данные, REF – регенерация, PR – программирование, ER – стирание, U_{PR} – напряжение программирования, U_{CC} – напряжение питания, 0V – общий.

Рассмотрим обобщенную структурную схему запоминающего устройства, приведенную на рисунке 1.62. Матрица накопителя имеет m строк и n столбцов. На пересечении строки и столбца располагается элемент памяти. Матрица накопителя, имеющая m строк и n столбцов, имеет $m \cdot n$ ячеек памяти. Для выборки строк и столбцов используют дешифраторы или демультиплексо-ры.

В запоминающих устройствах статического типа в качестве элементов памяти используют триггеры на биполярных или полевых транзисторах. Большое быстродействие имеют устройства на биполярных транзисторах. В качестве запоминающего элемента микросхем памяти статического типа может быть использован, например, D-триггер, снабженный специальным входом разрешения.

Для устойчивой работы микросхемы памяти при записи и чтении информации необходимо сигналы подавать в определенной последовательности и с допустимыми временными задержками. Микросхемы памяти характеризуются различными динамическими (временными) параметрами. Длительность сигнала обозначают $t_{w(B)}$, а интервал между сигналами $t_{REC(B)}$, где В – обозначение сигнала. Для сигнала CS эти записи имеют вид: $t_{w(CS)}$, $t_{REC(CS)}$. Время установления

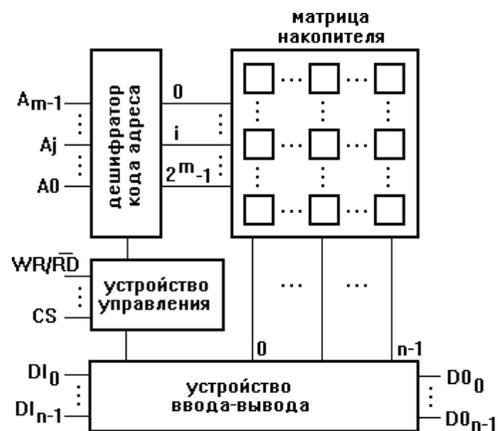


Рис. 1.62

одного сигнала относительно другого $t_{SU(B-C)}$ определяется как интервал времени между началами двух сигналов на разных входах микросхемы, где В – обозначение сигнала, состояние которого изменяется первым, а С – обозначение сигнала, состояние которого изменяется в конце временного интервала. Время установления сигнала выборки микросхемы относительно сигналов адреса запишется в виде $t_{SU(A-CS)}$. Время сохранения одного сигнала после другого $t_{V(B-C)}$ определяется как интервал времени между окончаниями двух сигналов на разных входах микросхемы, например $t_{V(CS-A)}$ – время сохранения сигналов адреса после снятия сигнала выборки микросхемы. Важными динамическими параметрами микросхем памяти являются время выборки адреса $t_{A(A)}$ и время выборки $t_{A(CS)}$ (часто обозначается t_{CS}) сигнала CS.

По режиму доступа микросхемы статических ОЗУ подразделяются на тактируемые и нетактируемые (асинхронные). Тактируемые микросхемы ОЗУ при каждом обращении к любой ячейке памяти требуют подачи импульса на вход CS. Сигналы разрешения выхода, записи-считывания могут быть поданы импульсом или уровнем.

Широкое распространение получили КМДП-микросхемы статических ОЗУ следующих серий К537, КМ1603, К581, К188, К176, К561. Большинство

микросхем имеют питающее напряжение 5 В. Микросхемы памяти К561 допускают напряжение питания от 6 до 12 вольт. Микросхемы серии К176 имеют питающее напряжение 9В. В серии К537 имеется более 20 микросхем, отличающихся информационной емкостью, быстродействием и потребляемой мощностью. Среди микросхем этой серии имеются тактируемые и асинхронные. На рисунке 1.63 приведено условное обозначение микросхемы КР537РУЗ. При CS=1 (микросхема не выбрана) выход D0 находится в высокоимпедансном состоянии, а сигналы на адресных входах, входе DI и входе WR/RD могут быть любыми. Такой режим работы микросхемы называют режимом хранения. В режиме чтения на входе CS должен быть сигнал логического нуля, на входе WR/RD сигнал логической единицы, на адресных входах установлен адрес необходимой ячейки памяти, а на выходе D0 в этом случае будет содержимое ячейки памяти. Сигнал на входе DI в режиме чтения может быть любым. В режиме записи на входе CS должен быть сигнал логического нуля, на входе WR/RD сигнал логического нуля, на адресных входах установлен адрес необходимой ячейки памяти, а на входе DI данные, которые необходимо записать. Выход D0 находится в высокоимпедансном состоянии.

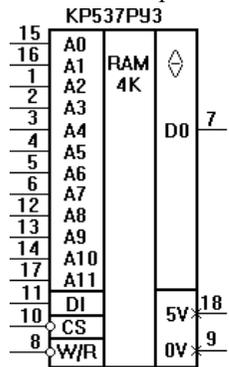


Рис. 1.63

Запоминающий элемент памяти динамического типа имеет существенно меньше радиотехнических элементов (транзисторы, конденсаторы, резисторы) и следовательно можно на одном кристалле разместить значительно больше запоминающих элементов по сравнению с их числом для памяти статического типа. Микросхемы памяти динамического типа имеют существенно меньшее быстродействие. Время доступа к ячейке памяти динамического типа 60-70 нс, а время доступа к ячейке памяти микросхем статического типа около 2 нс. Микросхемы памяти статического типа в компьютерах используют для так называемой кэш-памяти.

Рассмотрим принцип хранения и регенерации информации в ОЗУ динамического типа. На рисунке 1.64 приведена схема, позволяющая понять принцип записи и регенерации информации в ОЗУ динамического типа. Данное запоминающее устройство содержит m строк по n разрядов каждая. Запоминающим элементом памяти динамического типа является конденсатор. В реальных устройствах конденсатор образован емкостью затвор-исток транзистора VT2. Если конденсатор заряжен, то транзистор VT2 будет открыт, и такое состояние ассоциируется с логическим нулем. Если конденсатор разряжен, то транзистор

VT2 будет закрыт, и это соответствует логической единице. Конденсатор с течением времени разряжается, так как электронные ключи VT1, VT3 не являются идеальными. В природе нет также идеального конденсатора. По этой причине необходимо конденсатор периодически подзаряжать, если он был заряжен.

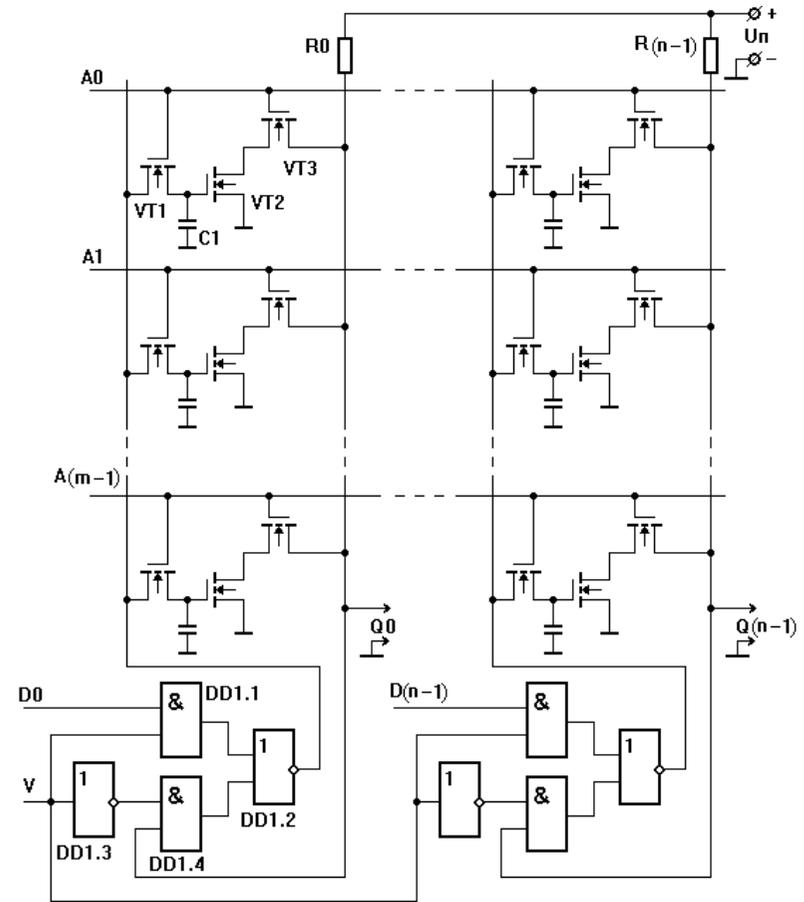


Рис. 1.64

Пусть на входе запись «V» уровень логического нуля, а конденсатор C1 был заряжен. Для восстановления заряда конденсатора необходимо периодически читать информацию. Рассмотрим разряд D0. Подадим напряжение логической единицы на линию выборки очередной строки, например, строки A0. В этом случае транзисторы VT1, VT3 открываются, транзистор VT2 также

открыт, так как мы рассматриваем случай, когда конденсатор C1 заряжен. Резистор R0, канал транзистора VT3 и канал транзистора VT2 образуют делитель напряжения, подаваемого от источника питания. На линии чтения Q0 будет в этом случае напряжение логического нуля (выходное напряжение мало). Напряжение логического нуля подается на нижний вход элемента DD1.4, следовательно, на выходе элемента DD1.4 будет напряжение логического нуля. На выходе элемента DD1.2 будет напряжение логической единицы, так как на верхнем входе этого элемента в рассматриваемый момент времени напряжение логического нуля (на входе V логический нуль). Конденсатор C1 заряжается по цепи: выход элемента DD1.2 (логическая единица), через канал открытого транзистора VT1, конденсатор C1, общий провод, минус источника питания.

Пусть конденсатор C1 разряжен. В этом случае на линии чтения будет напряжение, почти равное напряжению источника питания, то есть напряжение логической единицы. Это напряжение подается на нижний по схеме вход элемента DD1.4. На верхнем входе этого элемента в рассматриваемый момент времени напряжение логической единицы, так как на вход запись V подано напряжение логического нуля. На выходе элемента DD1.4 будет логическая единица, а на выходе логического элемента DD1.2 будет напряжение логического нуля и конденсатор C1 будет оставаться разряженным (конденсатор может заряжаться только по следующей цепи: выход элемента DD1.2, канал открытого транзистора VT1, конденсатор C1, общий провод, минус источника). Таким образом, периодически читая информацию, мы обеспечиваем ее сохранность. Для записи информации на входе D0 устанавливают логический нуль, или логическую единицу, на вход «V» подают напряжение логической единицы и выбирают строку, в которой находится необходимая ячейка памяти.

Занесение информации в микросхемы ПЗУ осуществляется либо при их изготовлении, либо потребителем. Микросхемы, информацию в которые заносит потребитель, называют программируемыми (ППЗУ). Программирование микросхем ПЗУ осуществляется с помощью специального устройства, называемого программатором микросхем. Микросхемы ПЗУ, допускающие неоднократное программирование, называются репрограммируемыми ПЗУ (РПЗУ). По способу стирания информации в РПЗУ микросхемы подразделяют на микросхемы с ультрафиолетовым стиранием информации (СППЗУ) и со стиранием электрическим сигналом (ЭСПЗУ).

Рассмотрим однократно программируемые пользователем микросхемы ПЗУ с пережигаемыми перемычками. На рисунке 1.65 показан фрагмент запоминающего устройства, имеющего n слов по 4 двоичных разряда каждое. Слово выбирается переключателем SA1. В ПЗУ записаны следующие четырехразрядные

слова: в строке X(n-3) – 1010, в строке X(n-2) – 1000, и в строке X(n-1) – 1111. Для записи слова 1000 в строке X(n-2) необходимо поочередно на короткое время (десять доли секунды) закоротить резисторы R2, R1, R0.

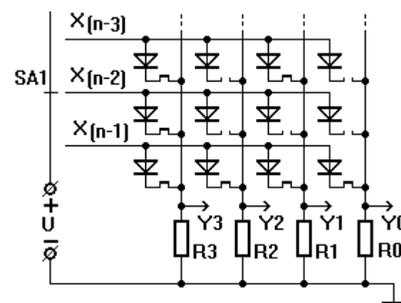


Рис. 1.65

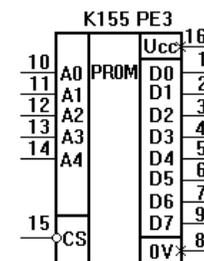


Рис. 1.66

В качестве примера ПЗУ с пережигаемыми перемычками рассмотрим микросхему K155PE3, условное обозначение которой приведено на рисунке 1.66.

Упрощенная функциональная схема микросхемы K155PE3 приведена на рисунке 1.67. Логические элементы DD1.0-DD1.7 имеют выход с открытым

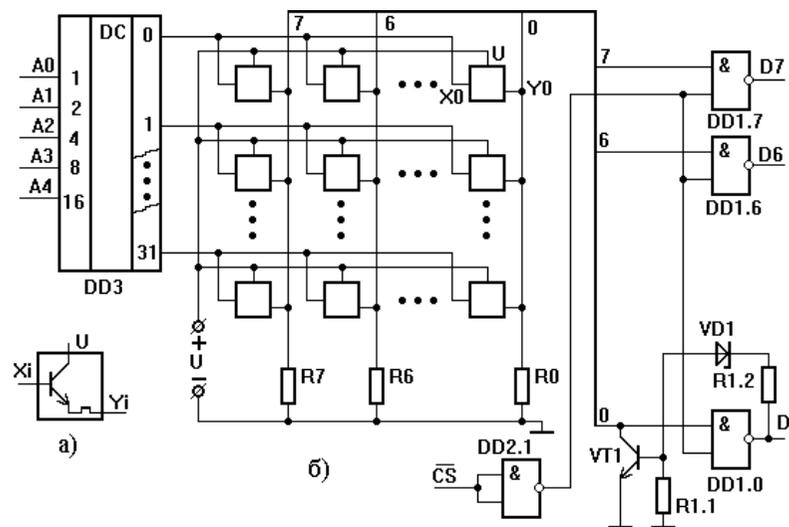


Рис. 1.67

коллектором. С выхода элемента DD1.0 на его вход подключается цепочка резистор R1.2, стабилитрон VD1, резистор R1.1, транзистор VT1, необходимая при программировании микросхемы. Для остальных логических элементов DD1.1-DD1.7 эти цепочки на функциональной схеме не показаны. При программировании на выход микросхемы через ограничительный резистор сопротивлением

390 Ом подается напряжение 10-15 В, в результате чего пробивается стабилитрон VD1 и открывается транзистор VT1. Открывшийся транзистор закорачивает резистор R0 и переключает в эмиттерной цепи транзистора необходимой ячейки памяти перегорает (для пережигания переключки на время программирования увеличивают питающее напряжение).

На рисунке 1.68 приведена схема простого программатора для микросхем K155PE3. Переключателями SA0-SA4 задается адрес требуемой ячейки памяти размером 8 бит. Логические элементы DD1.1, DD1.2, резистор R4, конденсатор

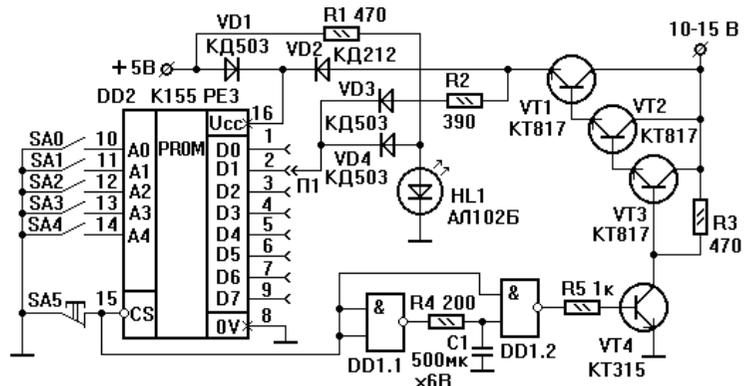


Рис. 1.68

C1 образуют одновибратор, формирующий импульс записи. Длительность импульса определяется сопротивлением резистора R4 и емкостью конденсатора C1. Кнопка SA5 находится в положении, соответствующем выбранной микросхеме. В этом случае светодиод HL1 отображает записанную в разряде D1 информацию. При нажатии на кнопку SA5 выходы программируемой микросхемы оказываются закрытыми, транзистор VT4 на короткое время закрывается, а транзисторы VT1-VT3 – открываются. На вывод 16 программируемой микросхемы подается повышенное напряжение. Кроме этого повышенное напряжение подается на один из выходов микросхемы, который подключается с помощью переключки П1.

В репрограммируемых ПЗУ элементом памяти является специальный полевой транзистор с плавающим затвором. В зависимости от того имеет, или не имеет затвор заряд, ячейке памяти могут быть поставлены в соответствие либо логическая единица, либо логический нуль, причем любое из этих состояний может сохраняться в отсутствии питающего напряжения десятки тысяч часов.

На рисунке 1.69 схематически изображен полевой транзистор с плавающим затвором с индуцированным каналом р-типа. Если плавающий затвор не

имеет заряда, сопротивление между выводами стока и истока транзистора большое. При программировании между истоком и подложкой прикладывается большое импульсное напряжение, в результате чего электроны проходят через тонкий слой диэлектрика и накапливаются в затворе. Между стоком и истоком транзистора образуется канал р-типа.

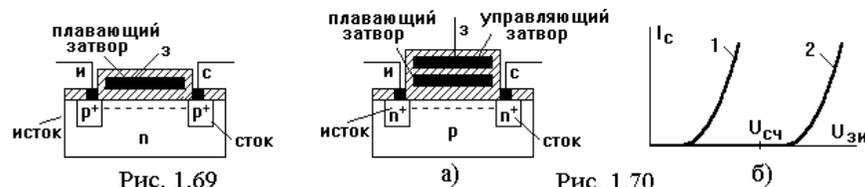


Рис. 1.69

а)

б)

На рисунке 1.70,а показано схематически устройство полевого транзистора с плавающим и управляющим затворами с каналом n-типа, а на рисунке 1.70,б – стокзатворные характеристики этого транзистора для двух случаев (кривая 1 для случая отсутствия заряда на плавающем затворе, для кривой 2 плавающий затвор имеет отрицательный заряд). Выбрав напряжение считывания так, как показано на рисунке 1.70,б, получаем ячейку памяти для хранения 1 бита информации.

На рисунке 1.71 приведена схема, поясняющая принцип хранения информации в ПЗУ с ультрафиолетовым стиранием информации. Выборка необходимой строки в данном ПЗУ осуществляется подачей сигнала логического нуля

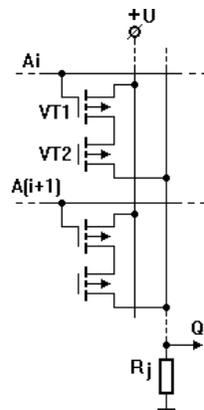


Рис. 1.71

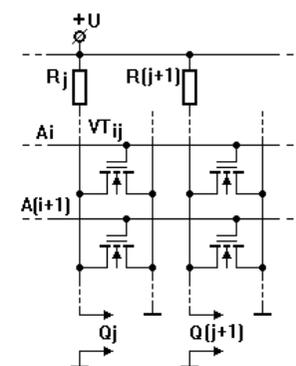


Рис. 1.72

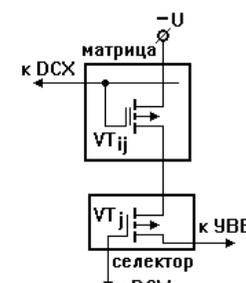


Рис. 1.73

на соответствующую строку. Пусть сигнал логического нуля подан на строку Ai и плавающий затвор транзистора VT2 имеет отрицательный заряд. В этом случае открывается транзистор VT1, а так как транзистор VT2 открыт, то на резисторе Rj будет напряжение логической единицы.

На рисунке 1.72 показан фрагмент запоминающего устройства с полевыми транзисторами с плавающим и управляющим затворами. Выборка строки осуществляется сигналом логической единицы. При такой организации запоминающего устройства отрицательный заряд на плавающем затворе соответствует хранению логической единицы.

На рисунке 1.73 приведен фрагмент запоминающего устройства, в котором адресация необходимой ячейки памяти производится с помощью дешифратора строк DCX и дешифратора столбцов DCY. В селекторе происходит выделение необходимого числа разрядов на одну ячейку памяти, и сигналы с селектора поступают на устройство ввода-вывода UBB.

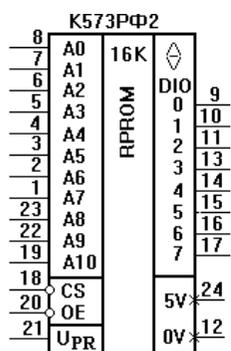


Рис. 1.74

Микросхема K573PФ2 с ультрафиолетовым стиранием информации, условное обозначение которой приведено на рисунке 1.74, имеет емкость 2 килобайта и допускает 100 циклов программирования. Имеются 4 модификации этой микросхемы: PФ21, PФ22, PФ23, PФ24. Микросхемы PФ21, PФ22 имеют емкость 1K x 8 бит. На адресную линию A10 для микросхемы PФ21 подают логический нуль, а для микросхемы PФ22 – логическую единицу. Микросхемы PФ23, PФ24 имеют емкость 2K x 4 бит. В этих микросхемах используются все адресные линии. В микросхеме PФ23 для ввода-вывода данных используют линии 11, 13, 14, 16, а в микросхеме PФ24 – линии 10, 11, 13, 16.

Напряжение программирования 25 В на микросхему K573PФ2 и ее модификации подают постоянным уровнем. Считывание информации из микросхемы производится в асинхронном режиме доступа к накопителю, при котором сигналы на входы CS и OE подаются уровнями. Указанные сигналы можно подавать и в форме импульсов [29].

В таблице 1.4 приведены режимы программирования (записи), считывания и хранения записанной информации для микросхемы K573PФ2.

Таблица 1.4

| Сигнал | Запись | Считывание | Хранение |
|-----------------|--------|------------|----------|
| \overline{CS} | 1* | 0 | 1 |
| \overline{OE} | 1 | 0 | X |
| U_{PR}, B | 25 | 5 | 5 |
| DIO | DI | DO | Z |

* - сигнал действует в течение 50 мс.

1.9. Шинные формирователи

В вычислительной технике достаточно часто к одному проводу необходимо подключать много устройств, при соблюдении условия, что в любой промежуток времени по этому проводу обмениваться информацией будут только два устройства. Кроме этого необходимо усилить ток, идущий от источника к приемнику информации. Эти задачи можно решить с помощью элементов с тремя состояниями. На основе элементов с тремя состояниями изготавливаются шинные формирователи. Условное обозначение элемента с тремя состояниями на выходе показано на рисунке 1.75,а. Информация передается от «а» к «b» при $y=1$. Если $y=0$, то элемент находится в высокоимпедансном состоянии.

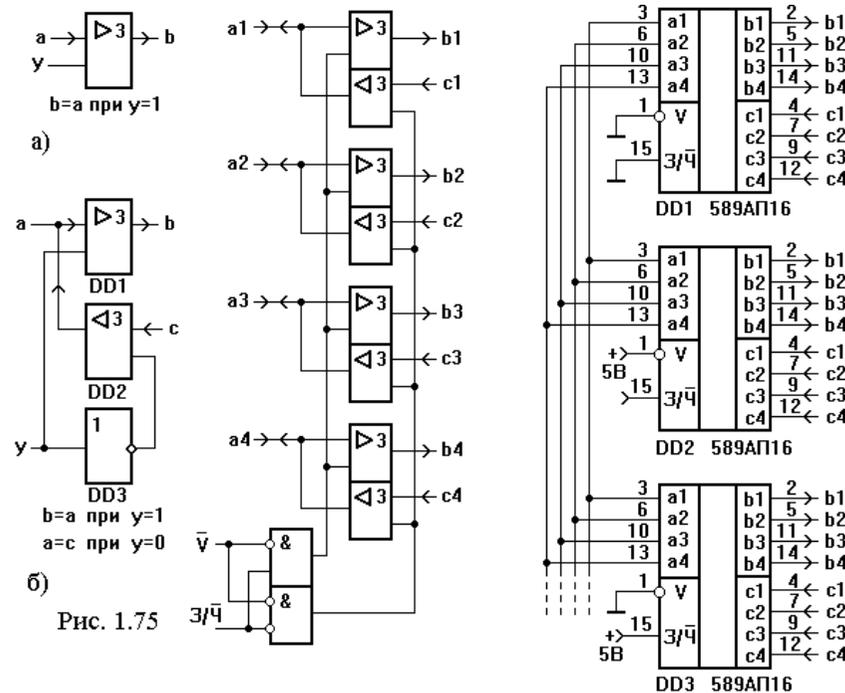


Рис. 1.75

Рис. 1.76

Рис. 1.77

На рисунке 1.76 показана функциональная схема четырехразрядного шинного формирователя K589AP16. Если на входе выбора микросхемы напряжение логической единицы, то линии «а» и «b» находятся в высокоимпедансном состоянии. Для выборки микросхемы на вход V необходимо подать логический нуль. При логической единице на входе записи-чтения (вывод 15 микросхемы K589AP16) информация будет передаваться от «а» к «b».

Для передачи информации от «с» к «а» на входе записи-чтения должен быть сигнал логического нуля.

На рисунке 1.77 показана схема подключения к одной шине нескольких шинных формирователей. В любой промежуток времени активными могут быть только два шинных формирователя, причем один из них работает в режиме источника, а другой – в режиме приемника информации. На данном рисунке показано подключение для передачи информации от четырех линий c1, c2, c3, c4 микросхемы DD1 к четырем линиям b1, b2, b3, b4 микросхемы DD3. Для изменения направления передачи от четырех линий c1, c2, c3, c4 микросхемы DD3 к четырем линиям b1, b2, b3, b4 микросхемы DD1 необходимо на входе записи-чтения микросхемы DD1 установить логическую единицу, а на входе записи-чтения микросхемы DD3 - логический нуль. На входах выборки всех микросхем (шинных формирователей) кроме двух должны быть логические единицы.

На рисунке 1.78 показано включение микросхемы K589АП16 для усиления сигнала в четырех линиях в обоих направлениях. Направление передачи информации определяется сигналом на

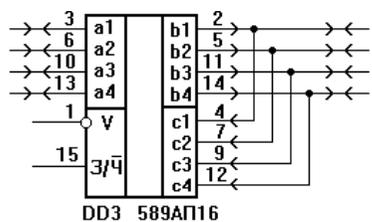


Рис. 1.78

входе разрешения записи чтения (вывод 15). Если на линии 15 логическая единица, то информация по четырем линиям передается слева-направо, а если логический нуль, то справа-налево. На входе выборки микросхемы (вывод 1) должен быть логический нуль. Если на выводе 1 логическая единица, то линии слева и справа от микросхемы находятся в высокоимпедансном состоянии и к ним можно подключить другие устройства.

С микросхемами K589АП16 можно достаточно просто показать демонстрацию по передаче информации от одного устройства к другому и наоборот.

Для этого необходимо воспользоваться двумя самодельными стендами для изучения элементов ЭВМ, описание которых приводится во второй главе. Один из стендов будет главным, определяющим направление передачи информации. Для каждого стенда необходимо изготовить плату с микросхемой шинного формирователя. На одной из плат устанавливается инвертор, чтобы сигналы на входах записи-чтения обоих микросхем были противоположными. По отдельной линии к главному стенду передается сигнал запроса на доступ к шине для передачи информации.

1.10. Логические пробники

Состояния на выходах логических элементов, как в комбинационных схемах, так и в цифровых автоматах, достаточно часто определяют с помощью логических пробников. Схема простого и надежного в работе логического пробника [15] приведена на рисунке 1.79. Данный пробник позволяет определить состояние логической единицы, логического нуля и отсутствие электрического контакта (высокоимпедансное состояние). Если светодиод HL1 не горит, то это свидетельствует о логическом нуле, если светодиод горит ярко, то это означает логическую единицу. Слабо светящийся светодиод указывает на отсутствие электрического контакта, или на высокоимпедансное состояние выхода логического элемента.

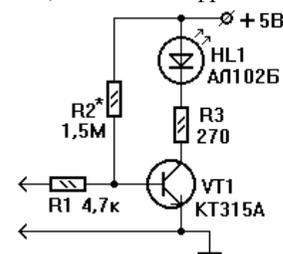


Рис. 1.79

Пробники, принципиальные схемы которых приведены на рисунках 1.80 и 1.81, позволяют определять три состояния на выходе логического элемента: логической единицы, логического нуля и высокоимпедансное состояние (смотри § 1.2 главы 1). В пробниках используются любые кремниевые диоды.

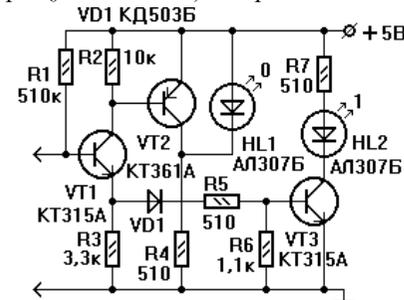


Рис. 1.80

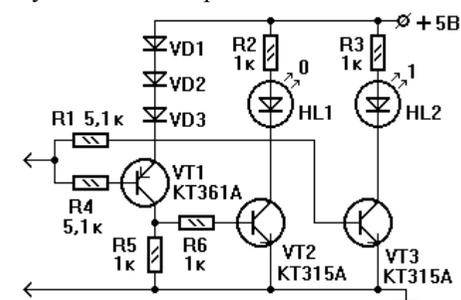


Рис. 1.81

Для обоих устройств светящийся светодиод HL1 указывает на логический нуль, а светящийся HL2 - на логическую единицу. Высокоимпедансное состояние на выходе исследуемого логического элемента, или отсутствие электрического контакта измерительного щупа пробника характеризуется отсутствием свечения обоих светодиодов в схеме рисунка 1.80 и свечением обоих светодиодов в схеме рисунка 1.81. В пробнике, схема которого приведена на рисунке 1.80, подбором сопротивления резистора R1 добиваются, чтобы при отключенном измерительном щупе светодиод HL1 не горел. Подбором сопротивления резистора R5 добиваются необходимого наименьшего значения напряжения логической единицы на входе пробника, при котором горит светодиод HL2.

Глава 2. ИЗУЧЕНИЕ АЛГОРИТМА РАБОТЫ ЦИФРОВЫХ МИКРОСХЕМ И ПРОВЕРКА ИХ РАБОТОСПОСОБНОСТИ

2.1. Испытательный стенд для изучения элементов ЭВМ

При изучении работы микросхем необходимо задавать электрические сигналы логической единицы и логического нуля на входах микросхемы и знать состояние (логический нуль или логическая единица) на выходах микросхемы. Для изучения алгоритма работы микросхем были разработаны и изготовлены два варианта испытательного стенда (рис. 2.3, 2.4). Один вариант обеспечивает изучение алгоритма работы микросхем при напряжении питания 5 В, а второй вариант при напряжении питания от 3 до 15 вольт. Расположение светодиодов на испытательном стенде показано на рисунке 2.1. Буквенные обозначения контактов разъема РПП56К указаны на этом рисунке над обозначениями соответствующих светодиодов.

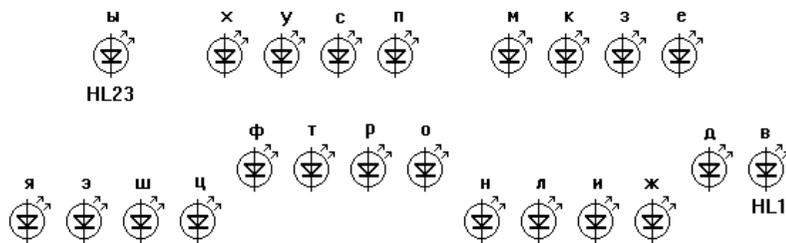


Рис. 2.1

Каждый из испытательных стендов обеспечивает задание логических нулей и единиц одновременно на 14 входах микросхемы. Светодиоды HL1-HL14 указывают логические состояния на входах, а светодиоды HL15-HL23 – логические состояния на выходах исследуемой микросхемы.

Стенд для изучения элементов ЭВМ по схеме 2.3 собран на микросхемах ТТЛ, которые допускают напряжение питания 5 В плюс-минус 5%. В лаборатории имеются две модификации такого стенда: с защитой от неправильной полярности питающего напряжения (при неправильной полярности питающего напряжения микросхемы могут выйти из строя) и со стабилизацией питающего напряжения. Напряжение питания стенда первой модификации 5,7 В, а напряжение питания стенда второй модификации 6,5-9 В. Питающее напряжение подают обязательно с соблюдением полярности (плюсовой провод стенда имеет изоляцию красного цвета). Источник питания включают в сеть через устройство защитного отключения.

Дребезг контактов на входах исследуемой микросхемы устраняется с помощью RS-триггеров на элементах 2И-НЕ (микросхемы DD1-DD7). Функции кнопок S1-S28 выполняет гибкий многожильный проводник (соединен с общим проводом испытательного стенда), свободным концом которого касаются соответствующих входов (контактные площадки на плате из фольгированного материала) микросхем DD1-DD7. Контактные площадки имеют разные размеры для ориентировки задания логического нуля и логической единицы.

Яркость свечения каждого из 23 светодиодов зависит от сопротивления резистора, включаемого последовательно со светодиодом. Для увеличения яркости свечения светодиодов HL1- HL23 необходимо уменьшить сопротивления резисторов R1 – R23.

Стенд для изучения элементов ЭВМ по схеме 2.4 допускает напряжение питания от 3 до 15 вольт. Это позволяет исследовать с помощью такого стенда работу микросхем как ТТЛ, так и КМОП. Напряжение питания стенда при исследовании микросхем ТТЛ выбирают равным 5 В плюс-минус 5%.

Для подачи логических сигналов на входы исследуемых микросхем собраны 14 RS-триггеров на биполярных транзисторах. Схема одного из триггеров приведена на рисунке 2.2.

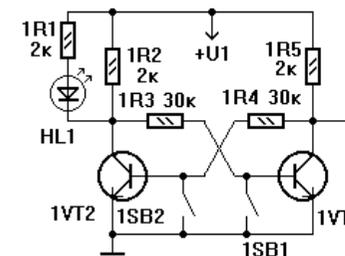


Рис. 2.2

Если горит светодиод HL1 (транзистор 1VT2 открыт), то на выходе RS-триггера будет напряжение логической единицы. При открытом транзисторе 1VT2 транзистор 1VT1 будет закрыт. Сопротивление резистора 1R2 должно быть маленьким по сравнению с сопротивлением резистора 1R3, чтобы светодиод HL1 не горел при закрытом транзисторе 1VT2. При закрытом транзисторе 1VT2 напряжение на резисторе 1R2 должно быть меньше напряжения, при котором начинает светиться светодиод HL1.

Для каждого из стендов изучаемая микросхема монтируется на плате одностороннего фольгированного гетинакса или стеклотекстолита. Если предполагается проверять работоспособность микросхем, то на плате фольгированного материала устанавливают панельку для микросхем на соответствующее число выводов. Для удобства пользования на лицевую панель стенда можно накладывать трафарет с отверстиями, открывающими задействованные при исследовании конкретной микросхемы светодиоды.

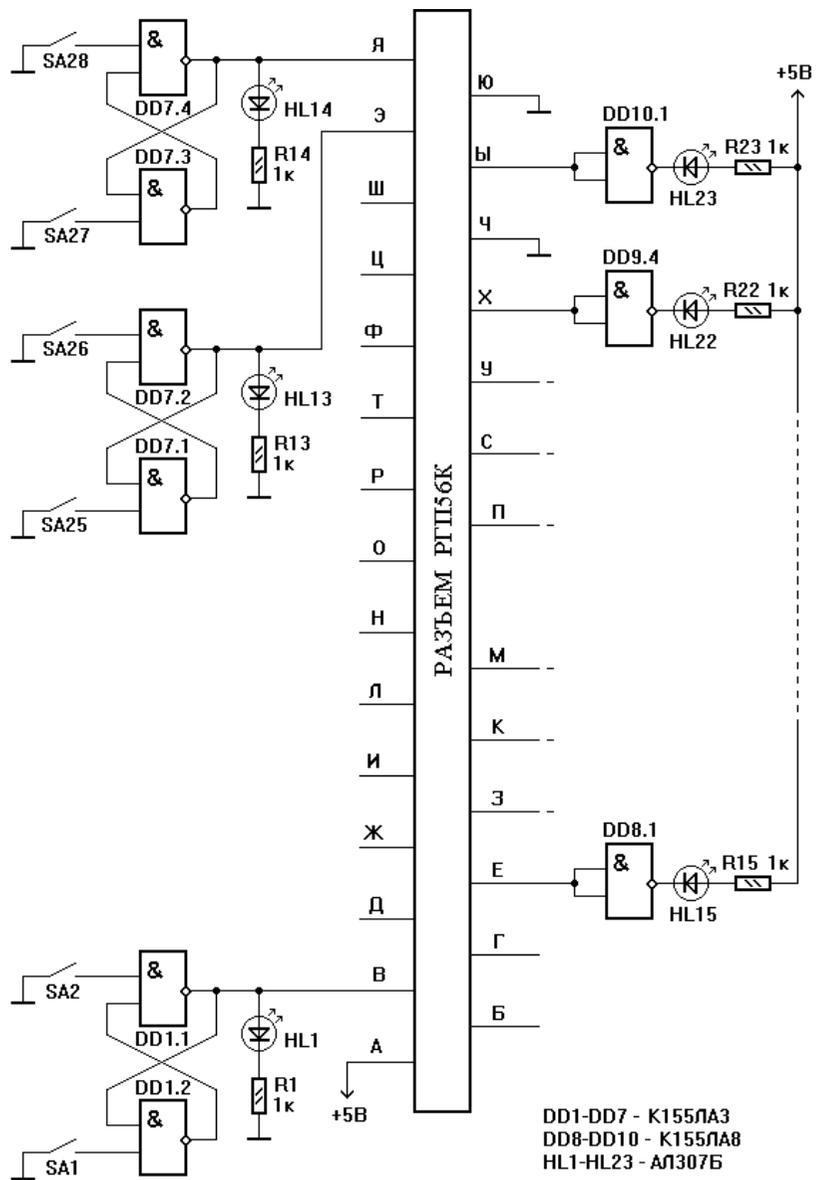


Рис. 2.3

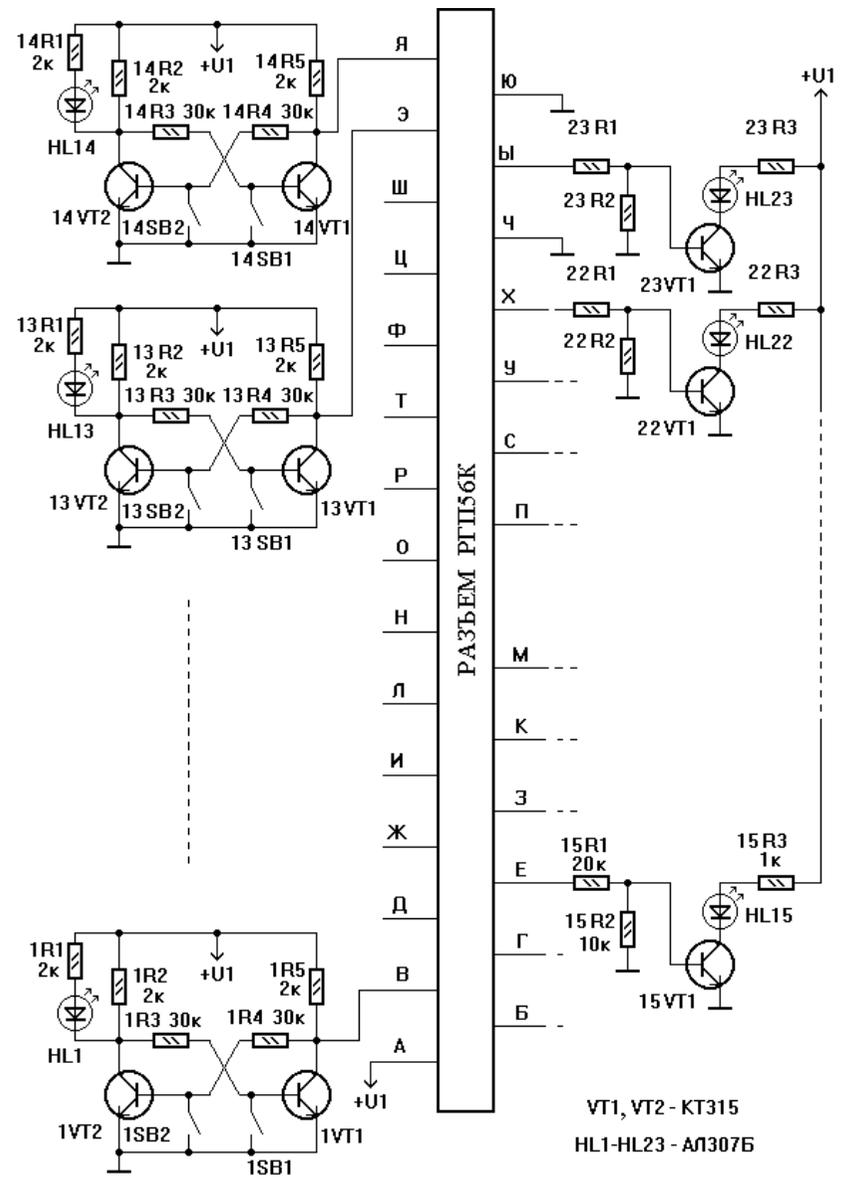


Рис. 2.4

2.2. Логический элемент 2И-НЕ ТТЛ (микросхема К155ЛА3)

Соответствие выводов микросхемы К155ЛА3 светодиодам испытательного стенда показано на рисунке 2.5, а условное обозначение микросхемы - на рисунке 2.6.

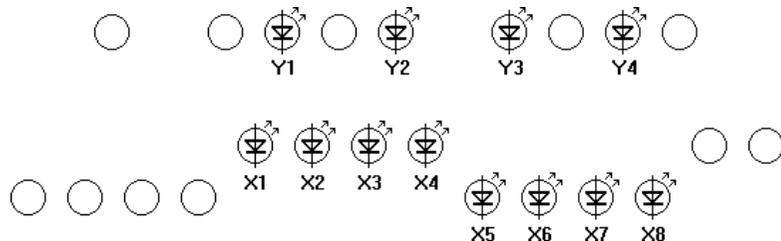
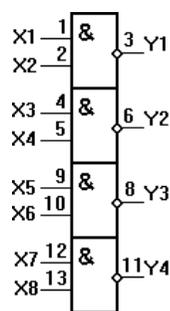


Рис. 2.5



Выводы: $+U_{ИП} - 14$; общий - 7.
 X1, X2 - входы элемента DD1.1
 X3, X4 - входы элемента DD1.2
 X5, X6 - входы элемента DD1.3
 X7, X8 - входы элемента DD1.4
 Y1 - выход элемента DD1.1
 Y2 - выход элемента DD1.2
 Y3 - выход элемента DD1.3
 Y4 - выход элемента DD1.4

Рис. 2.6

Задания:

1. Вставить печатную плату с микросхемой К155ЛА3 в разъем испытательного стенда.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника).
3. Проверить работоспособность логических элементов микросхемы К155ЛА3, записав в тетради напряжение логического нуля и логической единицы для каждого элемента. Составить таблицу истинности элемента.

4. Вынуть проверенную микросхему из панельки и проверить работоспособность еще одной микросхемы К155ЛА3. Вставляя проверяемую микросхему в панельку, необходимо убедиться в соответствии первого вывода микросхемы (определяется по ключу на микросхеме) первому выводу панельки (определяется по ключу на панельке).
5. Объяснить принцип работы логического элемента 2И-НЕ микросхемы К155ЛА3 по принципиальной схеме, приведенной на рисунке 2.7. Указать назначение всех элементов схемы, обратив особое внимание на резисторы R4, R5 и транзистор VT5. Нарисовать схемы подключения нагрузки для случаев логической единицы и логического нуля на выходе элемента. Для обоих случаев показать цепи, по которым протекает ток нагрузки.

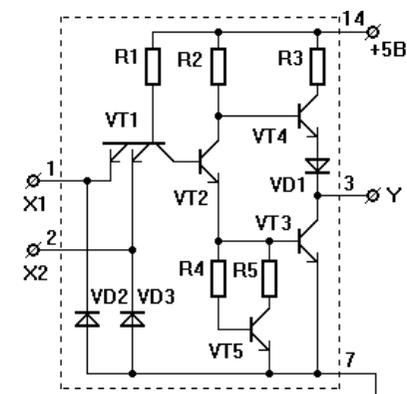


Рис. 2.7

6. Вычертить в тетради контактно-релейные схемы логического элемента 2И-НЕ для режимов положительной и отрицательной логики. Для контактно-релейных схем в режиме положительной логики логической единице соответствует замкнутый ключ, горящая лампочка также соответствует логической единице. В режиме отрицательной логики логической единице соответствует разомкнутый ключ, не горящая лампочка указывает на состояние логической единицы.

2.3. Четырехразрядный двоичный сумматор (микросхема К155ИМ3)

Соответствие выводов микросхемы К155ИМ3 светодиодам испытательного стенда показано на рисунке 2.8, а условное обозначение микросхемы - на рисунке 2.9.

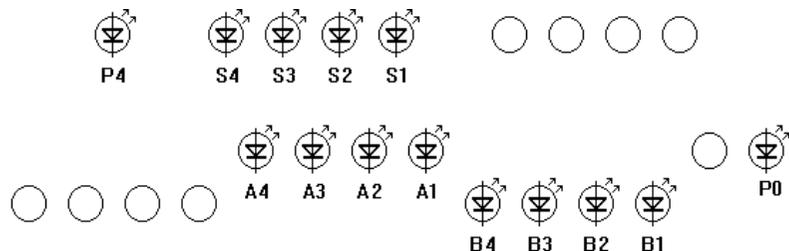
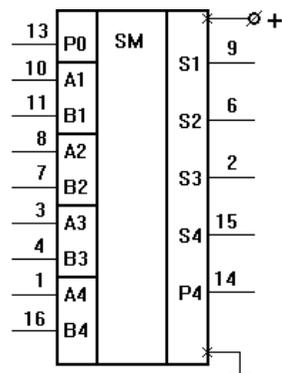


Рис. 2.8



A1-A4 - разряды числа A
B1-B4 - разряды числа B
S1-S4 - разряды суммы S
P0 - входной перенос
P4 - выходной перенос
Числа A, B, сумма S представляются в коде 8-4-2-1 в соответствии с индексами 4,3,2,1

Рис. 2.9

Задания:

1. Объяснить принцип работы одноразрядного двоичного сумматора по его функциональной схеме, приведенной на рисунке 2.10.
2. Вставить печатную плату с микросхемой К155ИМ3 в разъем испытательного стенда.

3. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника).

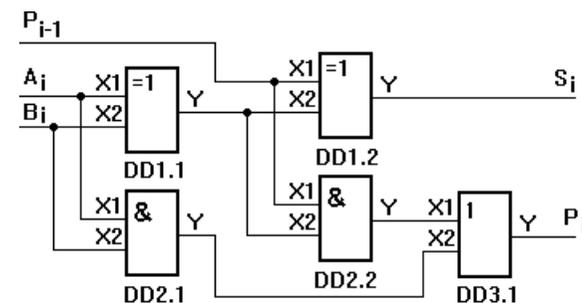


Рис. 2.10

4. Составить таблицу истинности одноразрядного двоичного сумматора:

| A_i | B_i | P_{i-1} | S_i | P_i |
|-------|-------|-----------|-------|-------|
| 0 | 0 | 0 | | |
| 0 | 1 | 0 | | |
| 1 | 0 | 0 | | |
| 1 | 1 | 0 | | |
| 0 | 0 | 1 | | |
| 0 | 1 | 1 | | |
| 1 | 0 | 1 | | |
| 1 | 1 | 1 | | |

A_i, B_i – двоичные цифры i разряда, P_{i-1} – перенос из $(i-1)$ разряда, S_i – сумма, получившаяся в i разряде, P_i – перенос из i разряда в $(i+1)$ разряд.

5. Сложить два четырехразрядных (двоичных) числа с учетом и без учета переноса предыдущего разряда. Результат проверить на сумматоре К155ИМ3.
6. Нарисовать схему восьмиразрядного сумматора, используя для этого две микросхемы К155ИМ3. Для этого вывод выходного переноса младших четырех разрядов соединить с выводом входного переноса старших четырех разрядов восьмиразрядного сумматора.

2.4. Арифметико-логическое устройство (АЛУ)

(микросхема К155ИПЗ)

Соответствие выводов микросхемы К155ИПЗ светодиодам испытательного стенда показано на рисунке 2.11, а условное обозначение микросхемы - на рисунке 2.12.

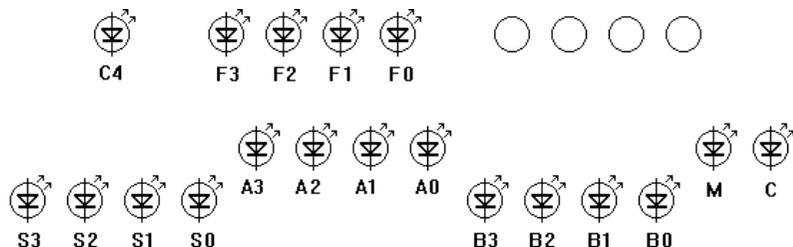
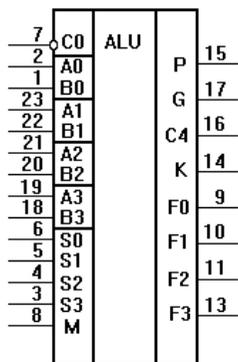


Рис. 2.11



Выводы: $+U_{ИП}$ – 24; общий – 12.
 A0-A3, B0-B3 - входные сигналы
 F0-F3 - выходные сигналы
 C0 - входной перенос
 C4 - выходной перенос
 S0-S3 - выбор функций, выполняемых арифметико-логическим устройством
 M=1 - логические функции
 M=0 - арифметико-логические функции
 Примечание: входной и выходной переносы в отличие от остальных сигналов представлены инверсным кодом

Рис. 2.12

Задания:

1. Вставить печатную плату с микросхемой К155ИПЗ в разъем испытательного стенда.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+” источника).

3. Проверить работу арифметико-логического устройства в соответствии с приведенной ниже таблицей (число выполняемых заданий указывается преподавателем).

Функции, реализуемые арифметико-логическим устройством для режима положительной логики (логической "1" соответствует высокий уровень напряжения, логическому "0" – низкий) приведены в таблице:

| № состояния | набор управляющих сигналов | | | | M=1 | M=0 |
|-------------|----------------------------|----|----|----|---|---|
| | S3 | S2 | S1 | S0 | сигнал на выходе F_i , соответствующей логической функции | результат арифметической или арифметико-логической операции |
| 0 | 0 | 0 | 0 | 0 | \bar{A}_i | $A + C_0$ |
| 1 | 0 | 0 | 0 | 1 | $\bar{A}_i \vee \bar{B}_i$ | $(A \vee B) + C_0$ |
| 2 | 0 | 0 | 1 | 0 | $\bar{A}_i \cdot B_i$ | $(A \vee \bar{B}) + C_0$ |
| 3 | 0 | 0 | 1 | 1 | 0 | $2^4 - 1 + C_0$ (0 при $C_0=1$) |
| 4 | 0 | 1 | 0 | 0 | $\bar{A}_i \cdot \bar{B}_i$ | $A + (A \wedge \bar{B}) + C_0$ |
| 5 | 0 | 1 | 0 | 1 | \bar{B}_i | $(A \vee B) + (A \wedge \bar{B}) + C_0$ |
| 6 | 0 | 1 | 1 | 0 | $A_i + B_i$ | $A - B - 1 + C_0$ |
| 7 | 0 | 1 | 1 | 1 | $A_i \cdot \bar{B}_i$ | $(A \wedge \bar{B}) - 1 + C_0$ |
| 8 | 1 | 0 | 0 | 0 | $\bar{A}_i \vee B_i$ | $A + (A \wedge B) + C_0$ |
| 9 | 1 | 0 | 0 | 1 | $\bar{A}_i \vee \bar{B}_i$ | $A + B + C_0$ |
| 10 | 1 | 0 | 1 | 0 | B_i | $(A \vee \bar{B}) + (A \wedge B) + C_0$ |
| 11 | 1 | 0 | 1 | 1 | $A_i \cdot B_i$ | $(A \wedge B) - 1 + C_0$ |
| 12 | 1 | 1 | 0 | 0 | 1 | $A+A+C_0$ (СДЛП при $C_0=0$) |
| 13 | 1 | 1 | 0 | 1 | $A_i \vee \bar{B}_i$ | $(A \vee B)+A+C_0$ |
| 14 | 1 | 1 | 1 | 0 | $A_i \vee B_i$ | $(A \vee \bar{B})+A+C_0$ |
| 15 | 1 | 1 | 1 | 1 | A_i | $A - 1 + C_0$ |

Арифметико-логическое устройство на микросхеме К155ИПЗ выполняет 32 различных операции: 16 при M=0 и 16 при M=1.

Для управления арифметико-логическим устройством в составе ЭВМ в команде должно быть выделено 5 двоичных разрядов: четыре разряда для хранения управляющих сигналов S0-S3 и один для хранения сигнала M.

2.5. D-триггер со статическим управлением (микросхема K155TM7)

Соответствие выводов микросхемы K155TM7 светодиодам испытательного стенда показано на рисунке 2.13, а условное обозначение микросхемы на рисунке 2.14.

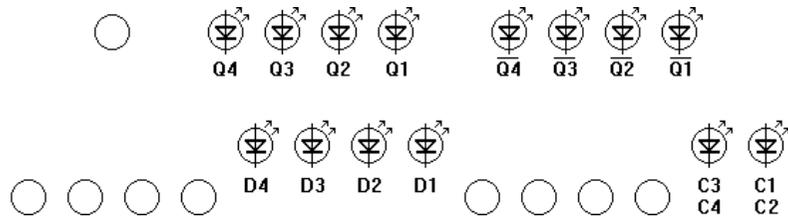
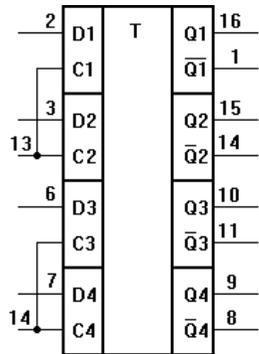


Рис. 2.13



Выводы: $+U_{\text{ИП}} - 5$; общий $- 12$.
 D1-D4 – информационные входы
 C1-C4 – синхронизирующие входы
 Q1-Q4 – прямые выходы
 $\bar{Q}1-\bar{Q}4$ – инверсные выходы

Рис. 2.14

Задания:

1. Вставить печатную плату с микросхемой K155TM7 в разъем испытательного стенда.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника).
3. Составить временную диаграмму работы одного из 4-х D-триггеров микросхемы K155TM7 (рис. 2.15). Дать ответ на вопрос, в какой момент времени (по фронту, во время действия или по спаду синхронизирующего

импульса) происходит передача информации с информационного входа на выход.

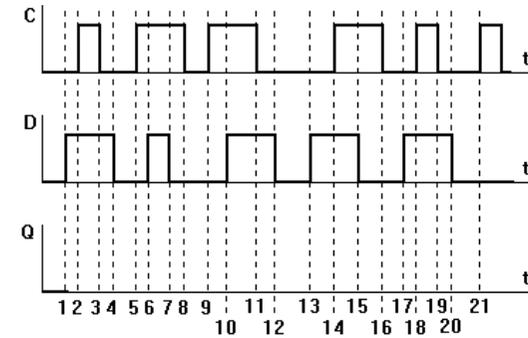


Рис. 2.15

4. Объяснить принцип работы D-триггера по функциональным схемам, приведенным на рисунках 2.16, 2.17.

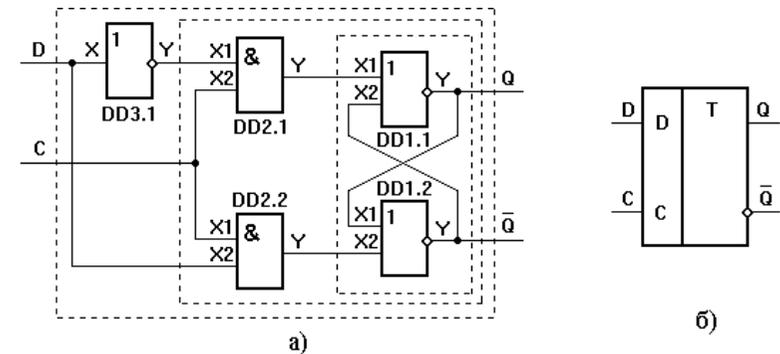


Рис. 2.16

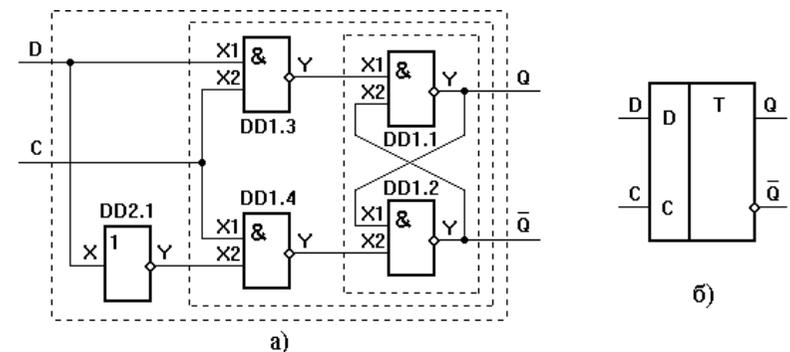


Рис. 2.17

2.6. D-триггер с динамическим управлением (микросхема K155TM2)

Соответствие выводов одного D-триггера микросхемы K155TM2 светодиодам испытательного стенда показано на рисунке 2.18, а условное обозначение микросхемы – на рисунке 2.19.

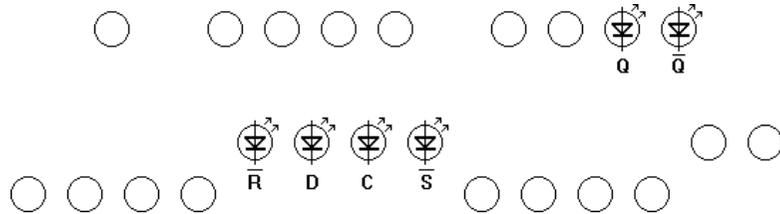
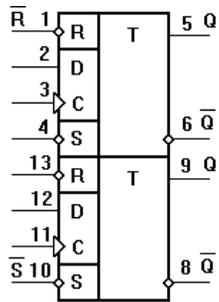


Рис. 2.18



Выводы: $+U_{\text{ИП}}$ – 14; общий – 7.
 \bar{R} – вход установки триггера в нулевое состояние
 \bar{S} – вход установки триггера в единичное состояние
 D – информационный вход
 C – синхронизирующий вход

Рис. 2.19

Задания:

1. Вставить печатную плату с микросхемой K155TM2 в разъем испытательного стенда.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника).
3. Составить временную диаграмму работы одного из 4-х D-триггеров микросхемы K155TM2 (рис. 2.20). Дать ответ на вопрос, в какой момент времени (по фронту, во время действия или по спаду синхронизирующего

импульса) происходит передача информации с информационного входа на выход.

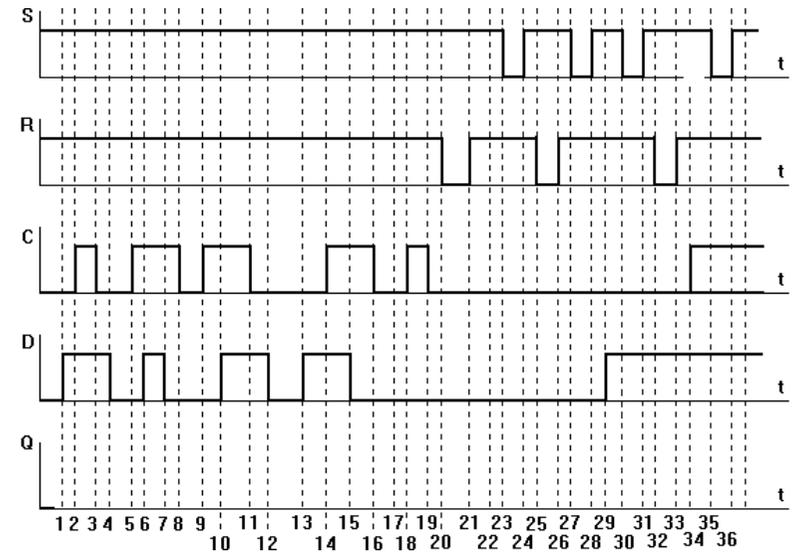


Рис. 2.20

4. Объяснить принцип работы D-триггера микросхемы K155TM2 по функциональной схеме, приведенной на рисунке 2.21.

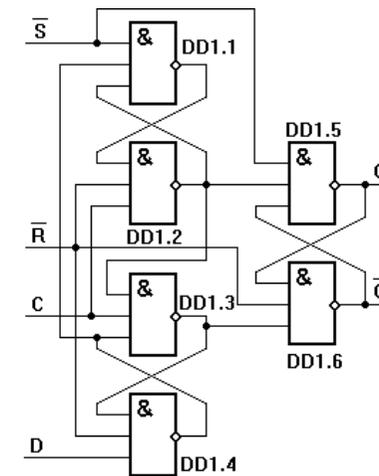


Рис. 2.21

2.7. JK-триггер (микросхема K155TB1)

Соответствие выводов микросхемы K155TB1 светодиодам испытательного стенда показано на рисунке 2.22, а условное обозначение микросхемы – на рисунке 2.23.

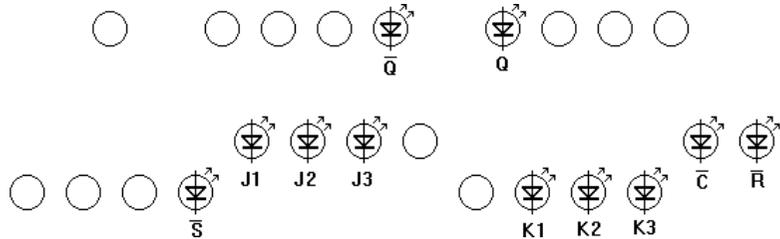
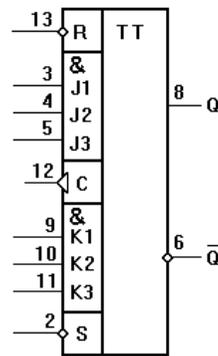


Рис. 2.22



Выводы: $+U_{\text{ИП}}$ – 14; общий – 7.
 \bar{R} - раздельный вход установки триггера в нулевое состояние
 \bar{S} - раздельный вход установки триггера в единичное состояние
 C – синхронизирующий вход
 $K1, K2, K3$ - входы установки триггера в нулевое состояние
 $J1, J2, J3$ - входы установки триггера в единичное состояние
 Q - прямой выход триггера
 \bar{Q} - инверсный выход триггера

Рис. 2.23

Задания:

1. Вставить печатную плату с микросхемой K155TB1 в разъем испытательного стенда.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника).
3. Составить временную диаграмму работы JK-триггера микросхемы K155TB1 (рис. 2.24). Дать ответ на вопрос, в какой момент времени (по фронту, во время действия или по спаду синхронизирующего импульса) происходит передача информации с информационного входа на выход.

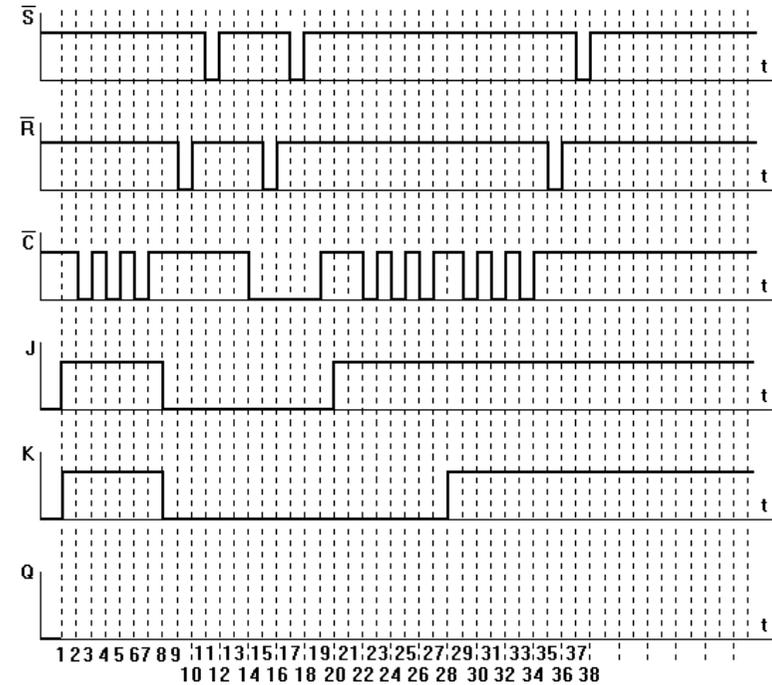


Рис. 2.24

4. Объяснить принцип работы JK-триггера микросхемы K155TB1 по функциональной схеме, приведенной на рисунке 2.25.

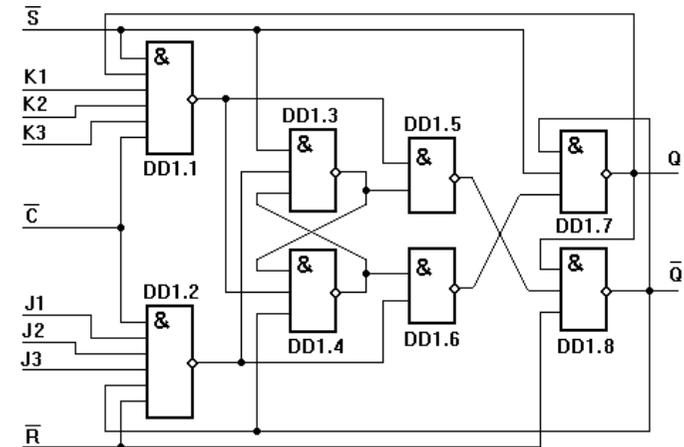


Рис. 2.25

2.8. Восемьразрядный реверсивный сдвиговый регистр (микросхема 155ИР13)

Соответствие выводов микросхемы 155ИР13 светодиодам испытательного стенда показано на рисунке 2.26, а условное обозначение микросхемы - на рисунке 2.27.

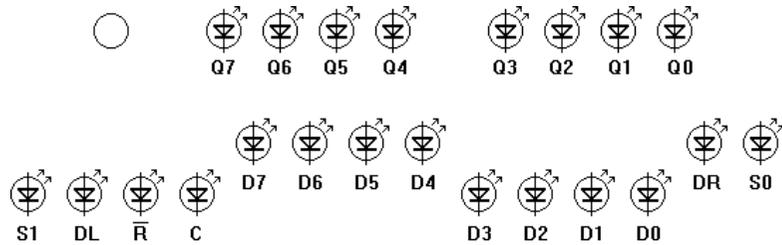
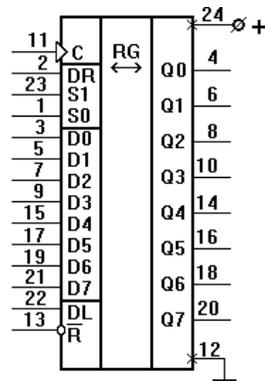


Рис. 2.26



Выводы: $+U_{ИП}$ - 24; общий - 12.
D0-D7 - информационные входы
Q0-Q7 - выходы
C - синхронизирующий вход
DR, DL - последовательные входы
S1, S0 - входы, определяющие режим работы регистра

Рис. 2.27

Задания:

1. Вставить печатную плату с микросхемой 155ИР13 в разъем испытательного стенда.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника).

3. Осуществить передачу информации с входов D0-D7 на выходы Q0-Q7 подачей синхронизирующего импульса положительной полярности на вход C. На входе R должен быть сигнал логической "1".
4. Осуществить ввод информации (логических нулей и логических единиц) с входа DR (на входе R должен быть сигнал логической "1").
5. Осуществить ввод информации (логических нулей и логических единиц) с входа DL (на входе R должен быть сигнал логической "1").
6. Проверить режим хранения информации (на входе R должен быть сигнал логической "1").
7. Произвести установку регистра в "0".
8. Нарисовать временную диаграмму работы регистра в режиме последовательного ввода информации с входа DR или DL.

Режимы работы регистра приведены в таблице:

| № п/п | S1 | S0 | Выполняемая функция |
|-------|----|----|--|
| 1 | 0 | 0 | Хранение информации на выходе |
| 2 | 0 | 1 | Сдвиг информации вправо на один разряд после каждого синхронизирующего импульса |
| 3 | 1 | 0 | Сдвиг информации влево на один разряд после каждого синхронизирующего импульса |
| 4 | 1 | 1 | Передача информации с информационных входов на выходы Q0-Q7 после каждого синхронизирующего импульса |

Для управления работой такого универсального сдвигового регистра в команде ЭВМ должно быть отведено два двоичных разряда (сигналы S0, S1).

Универсальный сдвиговый регистр применяется для преобразования информации из последовательной формы представления в параллельную и, наоборот, из параллельной в последовательную. Это необходимо, например, в модемах.

Для преобразования информации из последовательной формы в параллельную необходимо на вход C подавать синхронизирующие импульсы, согласованные во времени с информационными импульсами на одном из последовательных входов. Для преобразования информации из параллельной формы представления в последовательную предварительно в регистр записывают информацию с информационных входов D0-D7, затем осуществляют сдвиг информации в нужную сторону, а сигнал снимают с выхода Q0 или Q7.

2.9. Двоично-десятичный счетчик (микросхема K155ИЕ6)

Соответствие выводов микросхемы K155ИЕ6 светодиодам испытательного стенда показано на рисунке 2.28, а условное обозначение микросхемы - на рисунке 2.29.

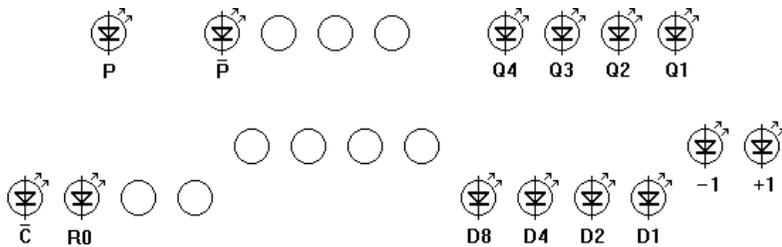


Рис. 2.28



Рис. 2.29

На вход счетчика +1 подают тактовые импульсы при прямом счете, а на вход счетчика -1 - при обратном. Вход С служит для предварительной записи в счетчик информации, поступающей по входам D1, D2, D4, D8. Установка триггеров счетчика в нулевое состояние происходит при подаче положительного импульса на вход R0, при этом на входе С должна быть логическая единица. Счетчик позволяет производить предварительную запись в него любого числа от 0 до 9. Для записи двоичный эквивалент числа подается на входы D1, D2, D4, D8 (1 – младший разряд, 8 – старший), на вход С – отрицательный импульс, на входе R0 при этом должен быть логический "0".

Режим предварительной записи может использоваться для построения делителей частоты с переменным коэффициентом деления. Если этот режим не используется, на вход С должна быть постоянно подана логическая единица. Прямой счет происходит при подаче отрицательных импульсов на вход +1, при этом на входах -1 и С должна быть логическая "1", а на входе R0 – логический "0". Переключение триггеров счетчика происходит по спадам входных импульсов. Одновременно с каждым десятым входным импульсом на выходе ≥ 9 появляется отрицательный импульс, который может подаваться на вход +1 следующей микросхемы многоразрядного счетчика.

При обратном счете входные импульсы подают на вход -1, а выходные импульсы снимают с выхода ≤ 0 .

Задания:

1. Вставить печатную плату с микросхемой 155ИЕ6 в разъем испытательного стенда.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника).
3. Произвести установку счетчика в нулевое состояние, предварительную запись числа в счетчик, осуществить прямой и обратный счет импульсов.
4. Вычертить временную диаграмму работы счетчика.
5. Объяснить принцип работы счетчика, схема которого приведена на рисунке 2.30.

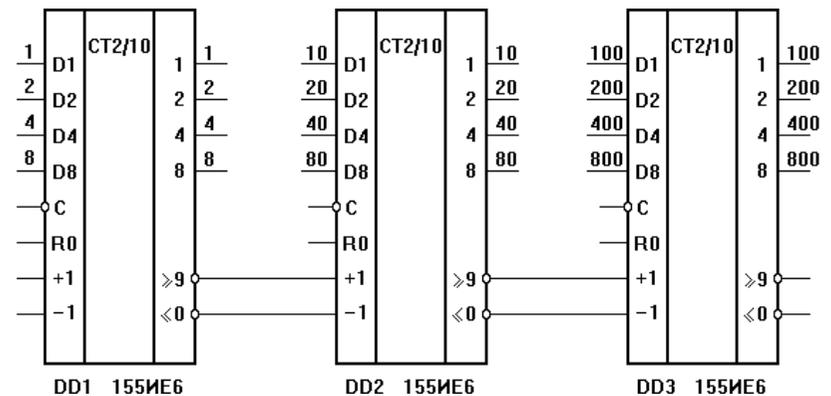


Рис. 2.30

2.10. Мультиплексор (микросхема K155КП7)

Соответствие выводов микросхемы K155КП7 светодиодам испытательного стенда показано на рисунке 2.31, а условное обозначение микросхемы - на рисунке 2.32.

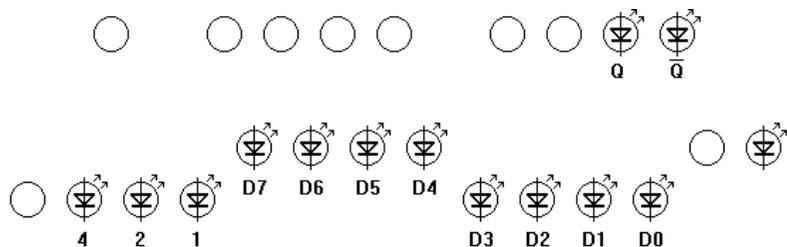
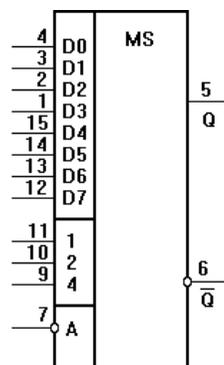


Рис. 2.31



Выводы: $+U_{ИП}$ – 16; общий – 8.
D0 – D7 - информационные входы
1-2-4 - адресные входы
A - вход стробирования
Q - прямой выход
 \bar{Q} - инверсный выход

Рис. 2.32

Мультиплексор имеет несколько информационных входов (D0, D1, ...), соответствующее им число адресных входов и один (прямой Q) или два (прямой Q и инверсный \bar{Q}) выхода. Число информационных входов мультиплексора или мультиплексорного дерева выбирают равным 2, 4, 8, 16, 32, ... Мультиплексор подключает на выход тот из информационных входов, адрес которого задан двоичным кодом на адресной шине. Восьми информационным входам соответствует 3 адресных, 16-ти информационным входам соответствует 4 адресных и т.д. Некоторые мультиплексоры снабжаются дополнительным

входом для подачи стробирующего сигнала. В таких мультиплексорах один из входов соединяется с выходом только во время действия стробирующего сигнала.

Если на входе стробирования мультиплексора K155КП7 логическая "1", то на выходе будет "0" независимо от сигналов на других входах. Если на входе стробирования логический "0", то сигнал на прямом выходе повторяет сигнал на том входе, номер которого совпадает с десятичным эквивалентом двоичного кода на входах 1-2-4 мультиплексора. На инверсном выходе сигнал всегда противофазен сигналу на прямом выходе.

Задания:

1. Вставить печатную плату с микросхемой K155КП7 в разъем испытательного стенда.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника).
3. На испытательном стенде проверить работу микросхемы K155КП7.
4. На рис. 2.33 приведена схема мультиплексорного дерева на 16 входов с использованием 4-входовых мультиплексоров. Нарисовать схему мультиплексора на 64 входа на 9 микросхемах K155КП7.

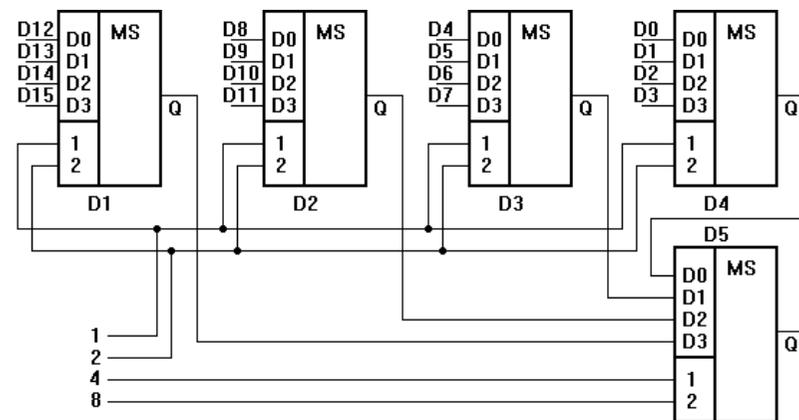


Рис. 2.33

Расчетным путем определить, сколько адресных входов должно иметь мультиплексорное дерево на 256 информационных входов.

2.11. Динамическая индикация

Принцип динамической индикации изучается на многоразрядном индикаторе ИВ-18, выполненном в цилиндрическом стеклянном баллоне. Размер информационного поля индикатора ИВ-18 составляет 10,5 x 81,8 мм. Индикатор имеет 9 триодов с общим катодом прямого накала, что позволяет обеспечить индикацию служебных знаков и восьми цифровых разрядов.

Принцип индикации цифры одного из разрядов заключается в следующем. Катод прямого накала является источником электронов. Электрическое поле управляющей сетки ускоряет электроны, которые, пролетая через редкую сетку, достигают тех анодов-сегментов, на которые подано анодное напряжение. Электроны, попадая на люминофор, нанесенный на аноды-сегменты, вызывают их свечение. На аноды-сегменты и управляющую сетку подводится относительно катода положительное напряжение величиной около 30 В в статическом и около 50 В в импульсном режимах работы.

Для сокращения числа выводов одноименные аноды-сегменты во всех разрядах электрически соединены между собой внутри каждого индикатора и имеют общие выводы. Сетка каждого разряда имеет отдельный вывод. Индикатор имеет 22 вывода, которые расположены с одной стороны цилиндрического баллона. Один цифровой разряд представляет собой набор 7 сегментов в виде восьмерки и отдельно расположенный десятичный знак. Для индикации одного разряда в статическом режиме необходимо включить напряжение накала, подать положительное напряжение на соответствующие нужной цифре аноды-сегменты и напряжение на управляющую сетку триода данного разряда. В режиме динамической индикации в какой-то момент времени напряжение подается сразу на все одноименные аноды-сегменты и на управляющую сетку одного из разрядов. Наблюдается свечение, если подано положительное напряжение. Аноды-сегменты остальных триодов в данный момент времени не светятся, т.к. эти триоды работают в диодном режиме. Число электронов, попадающих в диодном режиме на аноды, недостаточно для хорошо видимого свечения люминофора. Для высвечивания на индикаторе многоразрядного числа на управляющие сетки последовательно во времени подается положительное напряжение с одновременной подачей положительного напряжения на аноды-сегменты, соответствующие нужной цифре. Для исключения мерцания изображения частота смены информации на одном разряде должны быть не менее 50 Гц.

Блок-схема устройства для изучения принципа динамической индикации показана на рисунке 2.34. На входы X4, X3, X2, X1 блока управления анодами

индикатора подается информация в коде 8-4-2-1 об индицируемой цифре, а на входы Y4-Y1 блока управления сетками индикатора - информация в коде 8-4-2-1, которая определяет, какой разряд индикатора светится в данный момент. Соответствие входов X4-X1, Y4-Y1 устройства для изучения принципа динамической индикации светодиодам испытательного стенда показано на рисунке 2.35.



Рис. 2.34

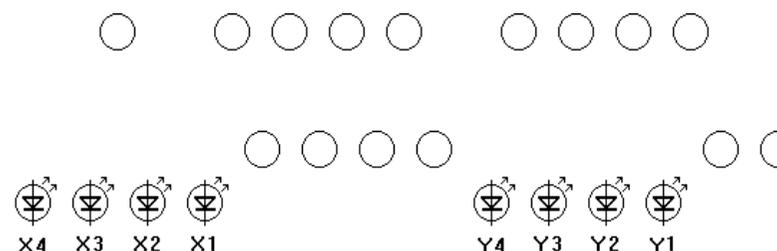


Рис. 2.35

Задания:

1. Соединить плату устройства для изучения принципа динамической индикации через промежуточный разъем с испытательным стендом.
2. Подключить испытательный стенд к источнику постоянного напряжения 5 В с соблюдением полярности (провод в изоляции красного цвета подсоединяют к выводу "+" источника). Подать постоянное напряжение 30 В на устройство для изучения принципа динамической индикации.
3. Продемонстрировать работу индикатора в статическом режиме и последовательность работы индикатора в динамическом режиме.
4. Нарисовать схему подключения четырех мультиплексоров к входам X4-X1 устройства для изучения принципа динамической индикации и схему для подключения счетчика к входам Y4-Y1.

Глава 3. УЧЕБНАЯ МОДЕЛЬ ОПЕРАЦИОННОГО БЛОКА ЭВМ (стенд ОАиВТ)

Стенд ОАиВТ, выпущенный Омским заводом, позволяет изучать алгоритм работы логических элементов, шифраторов, дешифраторов, триггеров, регистров, счетчиков, а также других элементов и узлов электронных вычислительных машин. В данной главе рассматривается работа только с двумя картами (6.3, 6.2) стенда ОАиВТ.

3.1 Оперативное запоминающее устройство

Функциональная схема оперативного запоминающего устройства (ОЗУ) приведена на карте 6-3 (рис. 3.1). Микросхема D1 - это дешифратор-демultipлексор. При работе в режиме демultipлексора вход V является информационным, входы 1, 2, 4 - это адресные входы, определяющие, какой из информационных выходов 0, 1, 2, 3, 4, 5, 6, 7 будет соединен с входом V. При работе в режиме дешифратора вход V - это вход разрешения преобразования, а 1, 2, 4 - это входы, на которые подается двоичное число, преобразуемое в десятичные цифры от 0 до 7 соответственно на выходах 0 - 7.

Микросхема D2 содержит 4 мультиплексора, каждый из которых имеет 2 информационных входа, один выход и соответствующее число адресных входов. Первый мультиплексор имеет входы X1, Y1, второй мультиплексор - X2, Y2, третий - X4, Y4, четвертый - X8, Y8. При двух входах каждому из мультиплексоров необходим один адресный вход. Адресные входы всех четырех мультиплексоров соединяются между собой.

Микросхема D2 обеспечивает передачу информации на четыре входа преобразователя кодов (микросхема D3¹), на четыре информационных входа (D1, D2, D4, D8) ОЗУ (микросхема D4) и на четыре информационных входа (D1, D2, D4, D8) параллельного регистра (микросхема D8) либо с выходов счетчика D10 (при отжатой кнопке SB2), либо с выходов оперативного запоминающего устройства D4. Чтобы мультиплексор передавал информацию с информационных входов Y1, Y2, Y4, Y8 на выходы 1, 2, 4, 8, необходимо нажать кнопку SB2. Микросхема D3¹ преобразует 4 разряда двоичного числа в 16-ричную цифру, отображаемую на светодиодном индикаторе HG1.

Микросхема D4 - это оперативное запоминающее устройство, предназначенное для хранения 16 слов, по четыре двоичных разряда каждое. Четыре адресных входа A1, A2, A4, A8 позволяют адресовать 16 ячеек памяти (2⁴). Микросхема имеет 4 информационных входа D1, D2, D4, D8 и 4 информационных выхода 1, 2, 4, 8. Следовательно, размер ячейки памяти рассматриваемого ОЗУ

равен четырем двоичным разрядам. Для записи информации в ОЗУ необходимо на адресных входах A1, A2, A4, A8 установить адрес ячейки памяти, а на информационных входах D1, D2, D4, D8 установить необходимые данные и подать импульс на вход разрешения записи W.

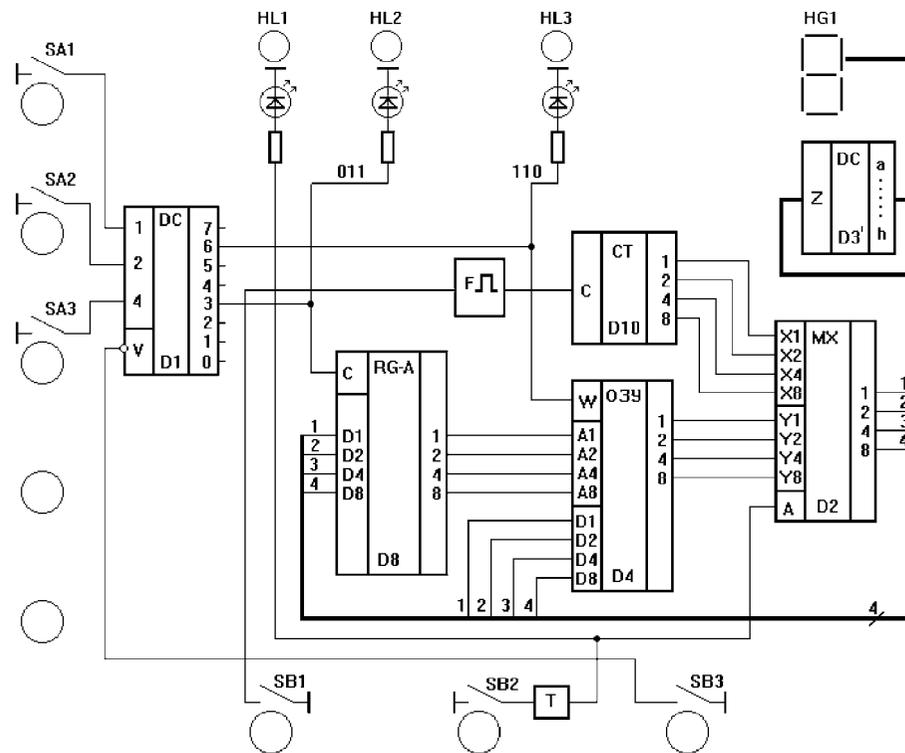


Рис. 3.1

Микросхема D10 (K155IE7) представляет собой универсальный счетчик с коэффициентом пересчета 16. Алгоритм работы этого счетчика похож на алгоритм работы счетчика на микросхеме K155IE6 и был рассмотрен ранее в главе 2. Счетчик K155IE7 отличается от счетчика K155IE6 коэффициентом пересчета. У счетчика K155IE6 коэффициент пересчета равен 10. В данной схеме счетчик работает в режиме суммирования, т.е. при каждом импульсе, поступившем на вход C, число на выходе счетчика увеличивается на единицу.

Микросхема D8 - это параллельный регистр, содержащий 4 D-триггера со статическим управлением. Для записи информации в регистр необходимо задать 4-х разрядное двоичное число на входах D1, D2, D4, D8 и на вход С подать импульс синхронизации.

Импульс синхронизации формируется при нажатии на кнопку SB3 и передается на вход соответствующей микросхемы с выхода демультиплексора D1. Адрес выхода микросхемы D1, на котором формируется импульс при нажатии на кнопку SB3, задается с помощью тумблеров SA1, SA2, SA3 (верхнее положение ручки тумблера соответствует логической 1). Кнопкой SB1 формируются импульсы, поступающие на вход счетчика, а кнопкой SB2 выбирается адрес на входах четырех мультиплексоров микросхемы D2.

Светодиод HL1 обеспечивает индикацию состояния адресной линии мультиплексора D2, светодиод HL2 – наличие сигнала на входе синхронизации С микросхемы D8, светодиод HL3 – наличие сигнала на входе разрешения записи микросхемы D4.

Задание. По адресу 7h записать число 9 16-тиричной системы счисления. Для этого, прежде всего, набираем на счетчике число 7 и заносим в регистр D8. Для записи адреса 7h в регистр D8 необходимо на микросхеме D1 тумблерами SA1, SA2 набрать адрес 3, поскольку выход 3 микросхемы D1 будет подключен на вход С микросхемы D8, и после этого нажать кнопку SB3. Таким образом, на адресных входах A1, A2, A4, A8 микросхемы D4 мы задали адрес 7. Затем на выходе счетчика устанавливаем число 9. Цифра 9 через четыре линии мультиплексора D2 в двоичном коде поступит на общую шину, т. е. будет на входах D1, D2, D4, D8 микросхемы D8, на входах D1, D2, D4, D8 микросхемы D4 и через микросхему D3' отобразится на индикаторе HG1.

Для записи информации в ОЗУ нам теперь нужно подать импульс записи на вход W микросхемы D4. Вход W микросхемы D4 соединен с выходом 6 микросхемы D1. Набираем тумблерами SA1- SA3 шестерку и нажимаем кнопку SB3. В результате этого на входе W микросхемы D4 появляется импульс записи. Информация с входов D1, D2, D4, D8 записывается в ячейку памяти, адрес которой задан нами на входах A1, A2, A4, A8 микросхемы D4 (выходы 1, 2, 4, 8 микросхемы D8).

После того как записана информация на микросхему D4, необходимо убедиться в том, что информация записана правильно. Для этого нужно изменить состояние счетчика и с помощью кнопки SB2 переключить мультиплексоры микросхемы D2 на индикацию содержимого ОЗУ. Индикатор HG1 в этом случае отобразит цифру 9.

3.2. Операционный блок ЭВМ

Схема операционного блока ЭВМ приведена на карте 6-2 (рис. 3.2). Нам уже знакомы следующие микросхемы: D1, D2, D3', D4, D10. Микросхемы D5, D6, D7, D8 точно такие же, как микросхема D8 карты 6.3. Микросхема D9 была изучена ранее на испытательном стенде для изучения элементов ЭВМ – это арифметико-логическое устройство K155ИПЗ. Таким образом, все микросхемы, обозначенные на операционном блоке ЭВМ, нам уже знакомы.

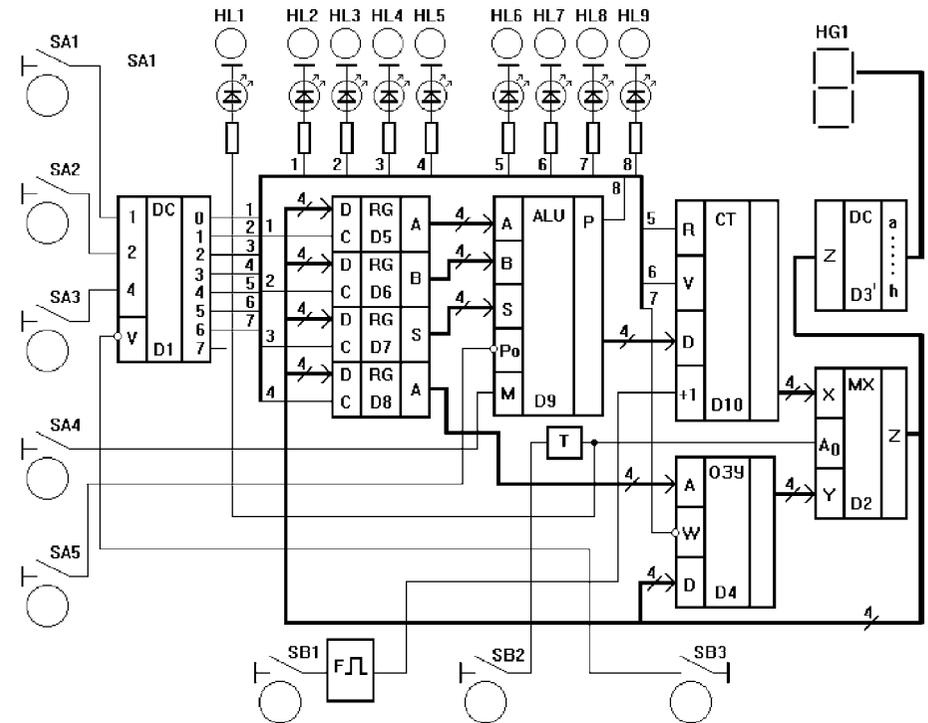


Рис. 3.2

При изучении операционного блока ЭВМ обращают внимание на то, что информация по общей шине в разные моменты времени передается к разным узлам.

Задание. Сложить два числа 7h и Ah (буква H или h ставится в конце числа в шестнадцатиричной системе исчисления) с учетом и без учета переноса предыдущего разряда. Причем сами эти числа и код операции предварительно занести в ОЗУ. Результат выполнения операции также занести в ОЗУ.

ЭВМ производит операции с числами в двоичной системе исчисления. Представление адресов ячеек памяти в двоичной системе исчисления для человека неудобно, т.к. адрес имеет большое число нулей и единиц. Адреса ячеек памяти в ЭВМ задаются обычно в шестнадцатиричной системе счисления. Вспомним таблицу перевода четырехразрядных двоичных чисел в десятичную и шестнадцатиричную систему исчисления.

| двоич. | десят. | шестнад. | двоич. | десят. | шестнад. |
|--------|--------|----------|--------|--------|----------|
| 0000 | 0 | 0 | 1000 | 8 | 8 |
| 0001 | 1 | 1 | 1001 | 9 | 9 |
| 0010 | 2 | 2 | 1010 | 10 | A |
| 0011 | 3 | 3 | 1011 | 11 | B |
| 0100 | 4 | 4 | 1100 | 12 | C |
| 0101 | 5 | 5 | 1101 | 13 | D |
| 0110 | 6 | 6 | 1110 | 14 | E |
| 0111 | 7 | 7 | 1111 | 15 | F |

Многоразрядное двоичное число очень легко переводится в шестнадцатиричное. Для этого двоичное число разбивают на четверки (тетрады), начиная справа налево, и каждую такую четверку заменяют шестнадцатиричной цифрой.

Рассмотрим последовательность действий при выполнении операции сложения двух четырехразрядных двоичных чисел 0111 и 1010 без учета переноса предыдущего разряда. Для удобства ввода информации переведем двоичные числа в шестнадцатиричную систему исчисления. Пусть коды программы хранятся в памяти, начиная с адреса 08h, первое слагаемое хранится в ячейке памяти 00h, второе – 01h, а результат операции сохраним в ячейке памяти 02h.

Арифметико-логическое устройство на микросхеме K155ИП3 может выполнить любую из 32 операций, определяемую комбинацией сигналов на входах S0, S1, S2, S3 (4 входа S) и входе M. Для выполнения операции арифметического сложения необходимо установить S3=1, S2=0, S1=0, S0=1 и M=0. M=0 зададим тумблером SA4, переведа его рукоятку в нижнее положение. Управляющие сигналы S записываются в регистр D7. Для операции арифметического сложения в регистр D7 необходимо занести цифру 9h.

Для решения поставленной задачи занесем в ОЗУ необходимую информацию. В ячейку памяти 08h запишем цифру 9 (код операции арифметического

сложения). Процесс записи числа в ячейку памяти рассмотрен в параграфе 3.1. В ячейку памяти 00h занесем двоичное число 0111, а в ячейку памяти 01h – двоичное число 1010.

В ЭВМ при выполнении программы информация из ОЗУ переносится в регистры процессора. Рассмотрим процесс переноса информации из ОЗУ (микросхема D4), например, в регистр D6. Для записи информации в четырехразрядный регистр D6 на его вход С необходимо подать синхронизирующий импульс. Провод от вывода С микросхемы D6 входит в общий жгут проводов под номером 2. Провод под этим номером подходит к выводу 1 микросхемы D1 и к резистору, подключенному к светодиоу HL3. Для подачи синхронизирующего импульса на вход С микросхемы D6 необходимо тумблерами SA1-SA3 набрать единицу и нажать на кнопку SB3. Чтобы на четырех входах D микросхемы D6 в момент подачи синхронизирующего импульса присутствовала информации с нужной ячейки памяти ОЗУ, необходимо нажать кнопку SB2, и удерживать ее во время действия синхронизирующего импульса. Последовательность нажатия кнопок должна быть следующей: нажимается кнопка SB2, а затем SB3, отпускаются кнопки в обратной последовательности, сначала SB3, а затем SB2. В регистр D8 предварительно заносится адрес ячейки памяти ОЗУ.

При выполнении операции арифметического сложения без учета переноса из предыдущих разрядов рукоятку тумблера SA5 необходимо установить в верхнее положение (логическая единица), т.к. входной перенос в микросхеме K155ИП3 представлен инверсным кодом. Светодиод HL9 на карте 6-2 стенда ОАиВТ регистрирует выходной перенос в режиме положительной логики.

Результат операции, выполненной АЛУ, будет присутствовать на 4-ех информационных входах счетчика D10. Для передачи информации на четыре выхода счетчика D10 необходимо на вход V этого счетчика подать импульс, с этой целью тумблерами SA1- SA2 набирают 5 и нажимают кнопку SB3. Информация с выходов счетчика D10 через четыре мультиплексора микросхемы D2 поступает на информационные входы микросхем D4 – D8, а также на преобразователь двоичного кода (микросхема D3¹) в код семисегментного индикатора HG1.

Для записи результата операции сложения в ОЗУ необходимо в регистр D8 занести адрес ячейки памяти, в рассматриваемом примере 02h, затем переслать информацию с выходов АЛУ на выходы счетчика, тумблерами SA1- SA3 набрать 6 и нажать на кнопку SB3.

Глава 4. ЛАБОРАТОРНЫЙ ПРАКТИКУМ

4.1. Примерный список лабораторных работ по разделу “Электронно-вычислительная техника”

1. Характеристики полупроводниковых диодов, биполярных и полевых транзисторов, переходные процессы в RC-цепях, мультивибратор на транзисторах с корректирующими диодами (повторение ранее изученного материала).
2. Отчет по первому лабораторному занятию.
3. Логический элемент 2И-НЕ транзисторно-транзисторной логики (часть 1).
4. Логический элемент 2И-НЕ транзисторно-транзисторной логики (часть 2).
5. Логический элемент 2И-НЕ КМОП.
6. Электронный ключ на биполярном транзисторе.
7. Генераторы негармонических колебаний на микросхемах ТТЛ.
8. Генераторы негармонических колебаний на микросхемах КМОП.
- 9-10. Изучение RS-триггеров, D-триггеров, JK-триггеров, счетных триггеров, арифметико-логических устройств, счетчиков, сумматоров, универсальных сдвиговых регистров, мультиплексоров, ОЗУ и других элементов ЭВМ на самодельных стендах (глава 2 настоящего пособия).
11. Учебная модель операционного блока ЭВМ (стенд ОАиВТ).
- 12-15. Лабораторные демонстрации, проводимые студентами и преподавателем.
Примечание. Демонстрации каждый студент готовит заранее и проводит как фрагмент занятия со студентами своей подгруппы.

Примерный список лабораторных демонстраций по разделу “Электронно-вычислительная техника”

1. Автомат световых эффектов.
2. Автоматическое изменение яркости свечения цифровых индикаторов в электронных часах.
3. Аналого-цифровые преобразователи (АЦП).
4. Выполнение арифметических и арифметико-логических операций на операционном блоке ЭВМ (стенд ОАиВТ).
5. Генератор прямоугольных импульсов напряжения, управляемый напряжением.
6. Зависимость мощности, потребляемой инвертором на микросхеме КМОП, от частоты прямоугольных импульсов напряжения на входе элемента.
7. Измерение выходного напряжения делителя напряжения на резисторах вольтметрами с различными внутренними сопротивлениями.
8. Инвертор на биполярном транзисторе.

9. Исследование мультивибратора и одновибратора на интегральных микросхемах КМОП.
10. Исследование мультивибратора и одновибратора на интегральных микросхемах ТТЛ.
11. Логический пробник для определения трех состояний (логический ноль, логическая единица, высокоимпедансное состояние) на выходе элементов
12. Логический элемент 2И-НЕ с тремя состояниями на выходе.
13. Музыкальный автомат.
14. Мультивибратор, преобразующий напряжение в частоту следования импульсов.
15. Наблюдение на экране осциллографа зависимости выходного напряжения логического нуля (элемент 2И-НЕ транзисторно-транзисторной логики) от тока нагрузки.
16. Наблюдение на экране осциллографа зависимости выходного напряжения логической единицы (элемент 2И-НЕ транзисторно-транзисторной логики) от тока нагрузки.
17. Наблюдение на экране осциллографа передаточной характеристики триггера Шмитта на биполярных транзисторах.
18. Настройка неискажающего делителя напряжения с помощью генератора прямоугольных импульсов напряжения и осциллографа.
19. Определение времени задержки распространения сигнала логическими элементами ТТЛ и КМОП серий.
20. Определение выходных токов логических элементов КМОП серии в состоянии логической единицы и логического нуля на выходе.
21. Передаточные характеристики логических элементов 2И-НЕ ТТЛ и КМОП.
22. Передаточная характеристика триггера Шмитта на микросхемах КМОП (раздельная регулировка петли гистерезиса).
23. Применение ЭВМ для автоматизации эксперимента.
24. Принцип работы цифрового частотомера.
25. Программирование ПЗУ с пережигаемыми переключками.
26. Программирование ПЗУ с ультрафиолетовым стиранием.
27. Спектральный состав прямоугольных импульсов напряжения.
28. Сравнение фронтов прямоугольных импульсов напряжения, вырабатываемых одновибраторами на ТТЛ и КМОП микросхемах.
29. Устройство для автоматической подачи звонков в учебных заведениях (блок формирования программ).

30. Устройство для автоматической подачи звонков в учебных заведениях (реле времени).
31. Цифроаналоговые преобразователи (ЦАП).
32. Цифроаналоговый преобразователь (ЦАП) в характериографе для транзисторов.
33. Шинный формирователь.
34. Шифратор и дешифратор команд телеуправления.
35. Электронные часы.
36. Широтно-импульсный преобразователь на микросхеме TL494 для управления работой импульсного блока питания персонального компьютера.

4.2. Задания к первому лабораторному занятию (Повторение ранее изученного материала)

К первому лабораторному занятию студенты должны повторить ранее изученный материал и правила техники безопасности. Подготовиться к выполнению на лабораторном занятии одного из ниже приведенных заданий (задания предварительно распределяются между студентами).

1. Наблюдение на экране осциллографа вольтамперной характеристики полупроводникового диода.

Рассчитать сопротивление эталонного резистора $R_{эт}$ в схеме для наблюдения вольтамперной характеристики диода на экране осциллографа ОМЛ-3М, зная, что при исследовании ток через диод в прямом направлении не будет превышать 25 мА. Рассчитать сопротивление ограничительного резистора $R_{огр}$ и выбрать величину переменного напряжения таким образом, чтобы приложенное к диоду обратное напряжение не превышало 2 вольта. Провести калибровку осциллографа по осям X и Y.

2. Наблюдение на экране осциллографа входной характеристики биполярного транзистора в схеме включения с общим эмиттером.

Выбрать схему подключения измерительных приборов для наблюдения входной характеристики биполярного транзистора на экране осциллографа, основываясь на двух вариантах подключения амперметра и вольтметра к участку цепи. При исследовании принять необходимые меры, чтобы не вывести транзистор из строя вследствие превышения максимально допустимой мощности рассеивания транзистора. Рассчитать сопротивление эталонного резистора $R_{эт}$ для исследования транзистора КТ315.

3. Наблюдение на экране осциллографа выходной характеристики биполярного транзистора в схеме включения с общим эмиттером.

Выбрать схему подключения измерительных приборов для наблюдения выходной характеристики биполярного транзистора на экране осциллографа, основываясь на двух вариантах подключения амперметра и вольтметра к участку цепи. Рассчитать сопротивление эталонного резистора $R_{эт}$ и сопротивление ограничительного резистора в цепи базы $R_{огр}$, выбрать питающие напряжения для исследования транзистора КТ315.

4. Наблюдение на экране осциллографа стоко-затворной и стоковой характеристик полевого транзистора в схеме включения с общим истоком.

Выбрать схемы подключения измерительных приборов для наблюдения стоко-затворной и стоковой характеристик полевого транзистора на экране осциллографа. Рассчитать сопротивление эталонного резистора $R_{эт}$ для исследования транзистора КП303. Объяснить, почему при расчете сопротивления эталонного резистора можно не учитывать входное сопротивление канала «У» осциллографа.

5. Мультивибратор с корректирующими диодами.

Зарисовать осциллограммы в наиболее характерных точках схемы мультивибратора на транзисторах с корректирующими диодами. Сравнить осциллограммы при напряжении питания 3 В для двух одинаковых мультивибраторов, отличающихся только транзисторами (в одном случае германиевые транзисторы, в другом – кремниевые).

Примечание: для установления временных соотношений между различными осциллограммами воспользоваться двухлучевым осциллографом.

6. Переходные процессы в RC-цепях.

Пронаблюдать форму импульсов на выходе дифференцирующей и интегрирующей RC-цепей при наличии на их входах прямоугольных импульсов напряжения. Рассмотреть случаи трех существенно различающихся постоянных времени RC-цепи и двух существенно различающихся скважностей прямоугольных импульсов. По форме импульсов на выходе RC-цепи при наличии на ее входе прямоугольных импульсов определить частоту среза RC-цепи. Исследовать переходные процессы в дифференцирующей и интегрирующей RC-цепях при подключении их к генератору прямоугольных импульсов напряжения.

Примечание. Студент выполняет на лабораторном занятии только одно задание, номер которого соответствует номеру рабочего места студента в лаборатории. Полученные результаты доводит до сведения всех студентов подгруппы на следующем лабораторном занятии.

4.3. Инструкции к лабораторным работам

Лабораторная работа "Логический элемент 2И-НЕ ТТЛ" (первая часть).

Цель работы: изучить принципиальную схему и провести экспериментальное исследование элемента 2И-НЕ микросхемы К155ЛА3.

Приборы и принадлежности

1. Источник электропитания ИЭПП-2.
2. Прибор комбинированный Щ4313 - 2 шт.
3. Авометр АВО-63 (или аналогичный).
4. Микросхема К155ЛА3 на плате.
5. Соединительные провода.
6. Паяльник на 42 В.
7. Магазин сопротивлений.

Задания для самостоятельной работы при подготовке к выполнению лабораторной работы

1. Знать условное обозначение логического элемента И, режим положительной и отрицательной логики работы элементов.
2. Записать таблицу истинности логического элемента 2И-НЕ.
3. Нарисовать контактную схему, реализующую для положительной логики логическую функцию элементов И.
4. Перерисовать из пособия В.С. Ямпольского "Основы автоматики и вычислительной техники" условное обозначение микросхемы К155ЛА3.
5. Перерисовать из пособия В.С. Ямпольского "Основы автоматики и вычислительной техники" схему базового логического элемента 2И-НЕ ТТЛ (рис. 3.5).
6. Переписать из справочника по интегральным микросхемам в тетрадь следующие основные параметры микросхемы К155ЛА3:
 - напряжение источника питания U и.п. (В)
 - потребляемая мощность P пот. не более (мВт)
 - напряжение логической единицы U не менее..... (В)
 - напряжение логического нуля U не более..... (В)
 - входной ток логической единицы не более (мкА)
 - входной ток логического нуля не более (мА)
 - выходной ток логической единицы (мА)
 - выходной ток логического нуля (мА)
 - время задержки импульса (нс)
7. По справочнику определить выводы микросхемы К155ЛА3, на которые подается напряжение питания.

8. Нарисовать принципиальную схему подключения приборов для определения потребляемой микросхемой мощности от источника питания.

9. Нарисовать принципиальную схему подключения приборов для снятия зависимости выходного напряжения логического элемента от тока нагрузки в состоянии логической единицы на выходе элемента.

Указания по технике безопасности смотри в инструкциях к приборам!

Лабораторные задания

1. Проверить работоспособность микросхемы К155ЛА3, сопоставляя результаты эксперимента с таблицей истинности логического элемента 2И-НЕ.
2. Определить потребляемую микросхемой мощность в состоянии логической единицы на выходах всех элементов и в состоянии логического нуля на выходах всех элементов.
3. В состоянии логической единицы на выходе элемента снять зависимость выходного напряжения от вытекающего выходного тока.
4. По построенному графику зависимости выходного напряжения логического элемента от вытекающего выходного тока определить нагрузочную способность элемента, зная, что напряжение логической единицы не менее 2,4 вольта, а входной ток логической единицы не превышает 40 мкА.
5. Объяснить принцип работы логического элемента 2И-НЕ.

Литература

[1], [6], [7], [8], [25], [27], [31], [34].

Лабораторная работа "Логический элемент 2И-НЕ ТТЛ" (вторая часть).

Цель работы: изучить принципиальную схему и провести экспериментальное исследование элемента 2И-НЕ микросхемы К155ЛА3.

Приборы и принадлежности

1. Источник электропитания ИЭПП-2.
2. Прибор комбинированный Щ4313 - 2 шт.
3. Авометр АВО-63 (или аналогичный).
4. Микросхема К155ЛА3 на плате.
5. Соединительные провода.
6. Паяльник на 42 В.
7. Магазин сопротивлений.

Задания для самостоятельной работы при подготовке к выполнению лабораторной работы

1. Знать условные обозначения логических элементов И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, исключающее ИЛИ, режим положительной и отрицательной логики работы элементов.

2. Записать в тетрадь таблицы истинности перечисленных выше логических элементов.

3. Нарисовать контактные схемы, реализующие для положительной логики логические функции элементов И, ИЛИ, НЕ.

4. Почему входной ток логического нуля в справочниках по интегральным микросхемам указывают со знаком минус?

5. Перерисовать в тетрадь принципиальную схему логического элемента 2И-НЕ с тремя состояниями на выходе.

6. Нарисовать принципиальную схему подключения приборов для измерения входного тока логической единицы и логического нуля.

7. Нарисовать принципиальную схему подключения приборов для снятия зависимости выходного напряжения от втекающего выходного тока в состоянии логического нуля на выходе элемента (в схеме предусмотреть резистор для ограничения выходного тока).

Указания по технике безопасности смотри в инструкциях к приборам!

Лабораторные задания

1. Определить входной ток логической единицы и входной ток логического нуля по одному из входов логического элемента. На второй вход элемента подать уровень логической единицы, соединив вход с плюсом источника питания через резистор 1 кОм или оставив его свободным.

2. Снять зависимость выходного напряжения от входного напряжения на одном из входов (на втором входе должно быть напряжение логической единицы).

3. В состоянии логического нуля на выходе элемента снять зависимость выходного напряжения от втекающего выходного тока.

4. По построенному графику зависимости выходного напряжения от втекающего выходного тока в состоянии логического нуля на выходе элемента определить нагрузочную способность элемента, зная, что напряжение логического нуля не превышает 0,4 В, а входной ток логического нуля не более 1,6 мА.

5. По результатам эксперимента определить результирующую нагрузочную способность логического элемента 2И-НЕ ТТЛ.

6. Объяснить по принципиальной схеме принцип работы логического элемента 2И-НЕ, логического элемента с тремя состояниями на выходе.

Литература

[1], [6], [7], [8], [25], [31], [34], [41].

Лабораторная работа "Логический элемент 2И-НЕ КМОП"

Цель работы: изучить принципиальную схему и провести экспериментальное исследование элемента 2И-НЕ микросхемы К561ЛА7.

Приборы и принадлежности

1. Источник электропитания ИЭПП-2.

2. Осциллограф ОМЛ-3М.

3. Прибор комбинированный Щ4313 - 2 шт.

4. Авометр АВО-63 (или аналогичный).

5. Микросхема К561ЛА7 на плате.

6. Магазин сопротивлений.

7. Соединительные провода.

8. Паяльник на 42 В.

Задания для самостоятельной работы при подготовке к выполнению лабораторной работы

1. Знать условные обозначения логических элементов И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, исключающее ИЛИ, режим положительной и отрицательной логики работы элементов.

2. Записать в тетрадь таблицы истинности перечисленных выше логических элементов.

3. Нарисовать контактные схемы, реализующие для положительной логики логические функции элементов И, ИЛИ, НЕ.

4. Перерисовать в тетрадь условное обозначение микросхемы К561ЛА7.

5. Объяснить принцип работы логических элементов НЕ, 2И-НЕ серии КМОП.

6. Определить по справочнику выводы микросхемы К561ЛА7, на которые подается напряжение питания, переписать в тетрадь допустимые пределы изменения напряжения питания КМОП микросхем.

Указания по технике безопасности смотри в инструкциях к приборам!

Лабораторные задания

1. Проверить работоспособность микросхемы К561ЛА7, сопоставляя результаты эксперимента с таблицей истинности логического элемента 2И-НЕ (Напряжение питания выбрать 5 вольт).

2. Определить потребляемую микросхемой мощность в состоянии логической единицы на выходах всех элементов и в состоянии логического нуля на выходах всех элементов.

3. В состоянии логической единицы на выходе элемента снять зависимость выходного напряжения от вытекающего выходного тока.

4. В состоянии логического нуля на выходе элемента снять зависимость выходного напряжения от втекающего выходного тока.

5. По построенному графику зависимости выходного напряжения логического элемента от вытекающего выходного тока определить ток нагрузки при выходном напряжении логической единицы, соответствующем 0,9 напряжения питания.

6. По построенному графику зависимости выходного напряжения от втекающего выходного тока в состоянии логического нуля на выходе элемента определить максимальный выходной ток при напряжении логического нуля, не превышающем 0,1 напряжения питания.

Литература

[1], [6], [7], [8], [25], [31], [34], [41].

Лабораторная работа "Электронный ключ на биполярном транзисторе"

Цель работы: провести экспериментальное исследование электронного ключа на биполярном транзисторе (германиевом и кремниевом).

Приборы и принадлежности

1. Источник электропитания ИЭПП-2.
2. Генератор прямоугольных импульсов напряжения.
3. Авометр АВО-63 (или аналогичный).
4. Плата с транзисторным ключом.
5. Осциллограф С1-134
6. Соединительные провода.
7. Паяльник на 42 В.
8. Транзисторы, резисторы и конденсаторы.

Задания для самостоятельной работы при подготовке

к выполнению лабораторной работы

1. Устройство, принцип работы и характеристики биполярных транзисторов.
2. Переходные процессы в RC-цепях.
3. Режимы работы транзистора в схеме ключа (режим отсечки, активный режим и режим насыщения).
4. Динамический режим транзисторного ключа.

Указания по технике безопасности смотри в инструкциях к приборам!

Лабораторные задания

1. Зарисовать форму сигнала на коллекторе и базе транзистора при подключенном и отключенном конденсаторе в цепи базы при наличии на входе ключа прямоугольных импульсов напряжения. Сравнить осциллограммы для кремниевого и германиевого транзисторов.

2. Исследовать влияние сопротивления резистора в цепи коллектора и конденсатора в цепи базы на скорость переключения транзистора.

3. Исследовать влияние конденсатора в цепи базы на скорость переключения транзистора.

4. Исследовать работу низкочастотных и высокочастотных транзисторов в схеме ключа.

Литература.

[1], [6], [7], [8], [25], [30], [41].

Лабораторная работа

"Генераторы негармонических колебаний на микросхемах ТТЛ"

Цель работы: изучить принципиальную схему и провести экспериментальное исследование генератора прямоугольных импульсов напряжения на микросхемах К155ЛА3 (мультивибратор и одновибратор).

Приборы и принадлежности

1. Источник электропитания ИЭПП-2.
2. Генератор прямоугольных импульсов (самодельный).
4. Осциллограф С1-34.
5. Соединительные провода.

Задания для самостоятельной работы при подготовке

к выполнению лабораторной работы

1. Принцип работы и характеристики логического элемента 2И-НЕ ТТЛ.
2. Переходные характеристики RC-цепей.
3. Перерисовать из [22] принципиальную схему генератора прямоугольных импульсов напряжения на микросхемах ТТЛ (мультивибратор и одновибратор), изучить принцип работы генератора импульсов.

Указания по технике безопасности смотри в инструкциях к приборам!

Лабораторные задания

1. Подключить генератор прямоугольных импульсов напряжения к источнику постоянного напряжения.
2. Определить диапазон частот и измерить амплитуду генерируемых прямоугольных импульсов напряжения.
3. Зарисовать осциллограммы во всех характерных точках мультивибратора и одновибратора. Осциллограммы должны быть согласованы между собой во времени. Объяснить принцип работы генератора прямоугольных импульсов.

Литература

[1], [6], [7], [8], [22], [25], [30], [41].

Лабораторная работа

"Генераторы негармонических колебаний на микросхемах КМОП"

Цель работы: изучить принципиальную схему и провести экспериментальное исследование генератора прямоугольных импульсов напряжения на микросхемах K561ЛА7 (мультивибратор и одновибратор).

Приборы и принадлежности

1. Источник электропитания ИЭПП-2.
2. Генератор прямоугольных импульсов (самодельный).
4. Осциллограф С1-34.
5. Соединительные провода.

Задания для самостоятельной работы при подготовке к выполнению лабораторной работы

1. Принцип работы и характеристики логического элемента 2И-НЕ КМОП.
2. Переходные характеристики RC-цепей.
3. Перерисовать из [22] принципиальную схему генератора прямоугольных импульсов напряжения на микросхемах КМОП (мультивибратор и одновибратор), изучить принцип работы генератора.

Указания по технике безопасности смотри в инструкциях к приборам!

Лабораторные задания

1. Подключить генератор прямоугольных импульсов напряжения к источнику постоянного напряжения.
2. Определить диапазон частот и измерить амплитуду генерируемых прямоугольных импульсов напряжения.
3. Зарисовать осциллограммы во всех характерных точках мультивибратора и одновибратора. Осциллограммы должны быть согласованы между собой во времени. Объяснить принцип работы генератора прямоугольных импульсов напряжения.

Литература

[1], [6], [7], [8], [22], [25], [31], [41].

Лабораторная работа

"Изучение RS-триггеров, D-триггеров и JK-триггеров, счетных триггеров, арифметико-логических устройств, счетчиков, сумматоров, универсальных сдвиговых регистров, мультиплексоров, ОЗУ и других элементов ЭВМ на самодельных стендах" (8 часов)

Цель работы: изучить алгоритмы работы элементов и узлов ЭВМ и научиться проверять их работоспособность.

Приборы и принадлежности

1. Источник электропитания ИЭПП-2.
2. Стенд для изучения элементов ЭВМ (самодельный).
3. Платы с изучаемыми микросхемами.

Задания для самостоятельной работы при подготовке к выполнению лабораторной работы

1. Изучить с привлечением литературы [21], [25] материал второй главы настоящего пособия.

Указания по технике безопасности смотри в инструкциях к приборам!

Лабораторные задания

1. Изучить алгоритм работы рассмотренных во второй главе настоящего пособия микросхем.

Литература

[20], [21], [25], [28], [31], [33], [40], [41].

Лабораторная работа

"Учебная модель операционного блока ЭВМ (стенд ОАиВТ)"

Цель работы: научиться выполнять арифметические и арифметико-логические операции на стенде ОАиВТ с использованием ОЗУ.

Приборы и принадлежности

1. Источник электропитания ИЭПП-2.
2. Стенд ОАиВТ.

Задания для самостоятельной работы при подготовке к выполнению лабораторной работы

1. Изучить инструкцию к стенду ОАиВТ.
2. Повторить алгоритм работы следующих узлов: шифратор-дешифратор, мультиплексор-демультиплексор, арифметико-логическое устройство, реверсивный счетчик с предварительной установкой информации, оперативное запоминающее устройство, регистры.
3. Изучить материал третьей главы настоящего пособия.

Указания по технике безопасности смотри в инструкциях к приборам!

Лабораторные задания

1. Выполнить задания, приведенные в главе 3 настоящего пособия.
2. Выполнить задания по указанию преподавателя.

Литература

[20], [25], [31], [33], [40], [41].

Литература

1. Алгинин Б.Е. Кружок электронной автоматики: Пособие для руководителей кружков: Из опыта работы. - М.: Просвещение, 1990. - 192 с.
2. Алексеев С. Применение микросхем серии K155 // Радио. - 1977. - № 10. - С. 39-41; 1978. - № 5. - С. 37, 38; 1982. - № 2. - С. 30-34; 1986. - № 5. - С. 28-31; 1986. - № 6. - С. 44-45; 1986. - № 7. - С. 32-34; 1987. - № 10. - С. 43, 44; 1984. - №4. - С. 25-28, 1986. - №12. - С. 42-46, 1991. - №12. - С. 66-68.
3. Аналоговые и цифровые интегральные микросхемы: Справочное пособие / С.В. Якубовский, Н.А. Барканов, Л.И. Ниссельсон и др.; Под ред. С.В. Якубовского. - М.: Радио и связь, 1984. - 432 с.
4. Бартенев В.Г., Алгинин Б.Е. От самоделок на логических элементах до микроЭВМ. - М.: Просвещение, 1993. - 189 с.
5. Бирюков С.А. Цифровые устройства на интегральных микросхемах. - М.: Радио и связь, 1984. - 88 с.
6. Богатырев А.Н. Радиоэлектроника, автоматика и элементы ЭВМ: Учеб. пособие для 8 - 9 кл. сред. шк. - М.: Просвещение, 1990. - 175 с.
7. Борисов В., Партин А. Основы цифровой техники // Радио. - №1-5, 7-12. - 1985.
8. Борисов В.Г. Кружок радиотехнического конструирования. -М.: Просвещение, 1990. - 224 с.
9. Варламов И.В., Касаткин И.Л. Микропроцессоры в бытовой технике. - М.: Радио и связь, 1990. - 104 с.
10. Воронков Э.Н., Овечкин Ю.А. Основы проектирования универсальных и импульсных схем на транзисторах: Учеб. пособие для техникумов. - М.: Машиностроение, 1973. - 312 с.
11. Гершензон Е.М. и др. Радиотехника: Учеб. пособие для ст-в физ.-мат. фак. пед. ин-тов / Е.М.Гершензон, Г.Д.Полянина, Н.В.Соина. - М.: Просвещение, 1986. - 319 с.
12. Елимов С. Генераторы прямоугольных импульсов на микросхемах КМОП // Радио. - 2000. - № 1. - С. 44-45.
13. Жеребцов И.П. Основы электроники. - Л.: Энергоатомиздат, 1985. - 352 с.
14. Иванов Б.С. Электронные самоделки: Кн. для учащихся 5-8 кл. - М.: Просвещение, 1993. - 191 с.
15. Иванов Б.С. Энциклопедия начинающего радиолюбителя: Описания практических конструкций. - М.: Патриот, 1992. - 416 с.
16. Измерения в электронике: Справочник / В.А.Кузнецов, В.А.Долгов, В.М.Коновских и др.; Под ред. В.А.Кузнецова. - М.: Энергоатомиздат, 1987. - 512 с.
17. Иноземцев В. Характернограф для транзисторов // Радио. - №12. - 1990. - С. 78-79; №5, 1994. - С. 45; №6 1994. - С. 43-44.
18. Иноземцев В. Шифратор и дешифратор команд телеуправления // Радио. - №7. - 1985. - С. 40-41, №2. - 1987. - С. 62.
19. Иноземцев В.А. Устройство для автоматической подачи звонков в учебных заведениях // Преподавание физики в высшей школе: Сб. науч. тр. - М.: Изд-во МПГУ, 1996. - № 8. - С. 56-60.
20. Иноземцев В.А., Иноземцева С.В. Введение в электронику. - Брянск: Изд-во БГПУ, 2001. - 150 с.
21. Иноземцев В.А., Иноземцева С.В. Вводный практикум по электронике / Под ред. В.А. Иноземцева. - Брянск: Изд-во БГПУ, 1997. - 78 с.
22. Иноземцев В.А., Иноземцева С.В., Степанищева М.Н. Лабораторный практикум по основам автоматики / Под ред. В.А. Иноземцева. - Брянск: Изд-во БГПУ, 1998. - 80 с.
23. Инструкции к приборам и устройствам.
24. Интегральные микросхемы: Справочник /Под ред. Б.В. Тарабрина. - М. - 1984.
25. Калабеков Б.А., Мамзев Н.А. Основы автоматики и вычислительной техники: Учебник для техникумов связи. - М.: Связь, 1980. - 296 с.
26. Комский Д.М. Кружок технической кибернетики: Пособие для руководителей кружков. - М.: Просвещение, 1991. - 192 с.
27. Кулешов С. Подключение ЦАП к разьему LPT // Радио. - 2000. - № 4. - С. 19.
28. Лавренцов В.Д. Основы автоматики, вычислительной техники и радиотелеметрии. - М.: Машиностроение, 1977. - 192 с.
29. Лебедев О.Н. Применение микросхем памяти в электронных устройствах: Справ. пособие. - М.: Радио и связь, 1994. - 216 с.
30. Ляшко М.Н. Радиотехника: Лаб. практикум. - Мн.: Выш. школа, 1981. - 269 с.
31. Манаев Е.И. Основы радиоэлектроники: Учеб. пособие для вузов. - М.: Радио и связь, 1985. - 488 с.
32. Мейзда Ф. Интегральные микросхемы: Технология и применения /Пер. с англ. - М.: Мир, 1981. - 280 с.
33. Основы промышленной электроники: Учеб. пособие для неэлектротехн. спец. вузов / В.Г. Герасимов, О.М. Князьков, А.Е. Краснопольский, В.В. Сухоруков; Под ред. В.Г. Герасимова. - М.: Высш. шк., 1986. - 336 с.
34. Поляков В.Т. Посвящение в радиоэлектронику. - М.: Радио и связь, 1988. - 352 с.
35. Прянишников В.А. Электроника: Курс лекций. - СПб.: КОРОНА принт, 1998. - 400 с.

36. Резников З.М. Прикладная физика: Учеб. пособие для учащихся по факультатив. курсу: 10 кл. - М.: Просвещение, 1989. - 239 с.
37. Семенов Б., Семенов П. Логический пробник // Радио. - №12. - 1996. - С. 34.
38. Справочник по интегральным микросхемам / Б.В. Тарабрин, С.В. Якубовский, Н.А. Барканов и др.; Под ред. Б.В.Тарабрина. - М.: Энергия, 1981. - 816 с.
39. Тесленко Л. Генератор прямоугольных импульсов // Радио. - №7. - 1984. - С. 28-30.
40. Шило В.Л. Популярные цифровые микросхемы: Справочник. - Челябинск: Металлургия, 1988. - 352 с.
41. Ямпольский В.С. Основы автоматики и электронно-вычислительной техники: Учеб. пособие для студентов физ.-мат. фак. пед. ин-тов. - М.: Просвещение, 1991. - 223 с.
42. Янцев В. Универсальный пробник с цифровой индикацией // Радио. - №12. - 1991. - С. 58-59.

Василий Алексеевич Иноземцев

Изучение элементной базы цифровой техники

Редактор Лозинский В.П.

ЛР № 020070 от 25.04.97

Подписано в печать 20.03.02. Формат 60 x 84 1/16. Усл. п.л. 6.8
Тираж 300 экз. Печать офсетная. Заказ № __

Издательство Брянского государственного
университета имени академика И.Г. Петровского
241036, Брянск, ул. Бежицкая, 14

Отпечатано в подразделении оперативной полиграфии
Брянского госуниверситета
241036, Брянск, ул. Бежицкая, 14